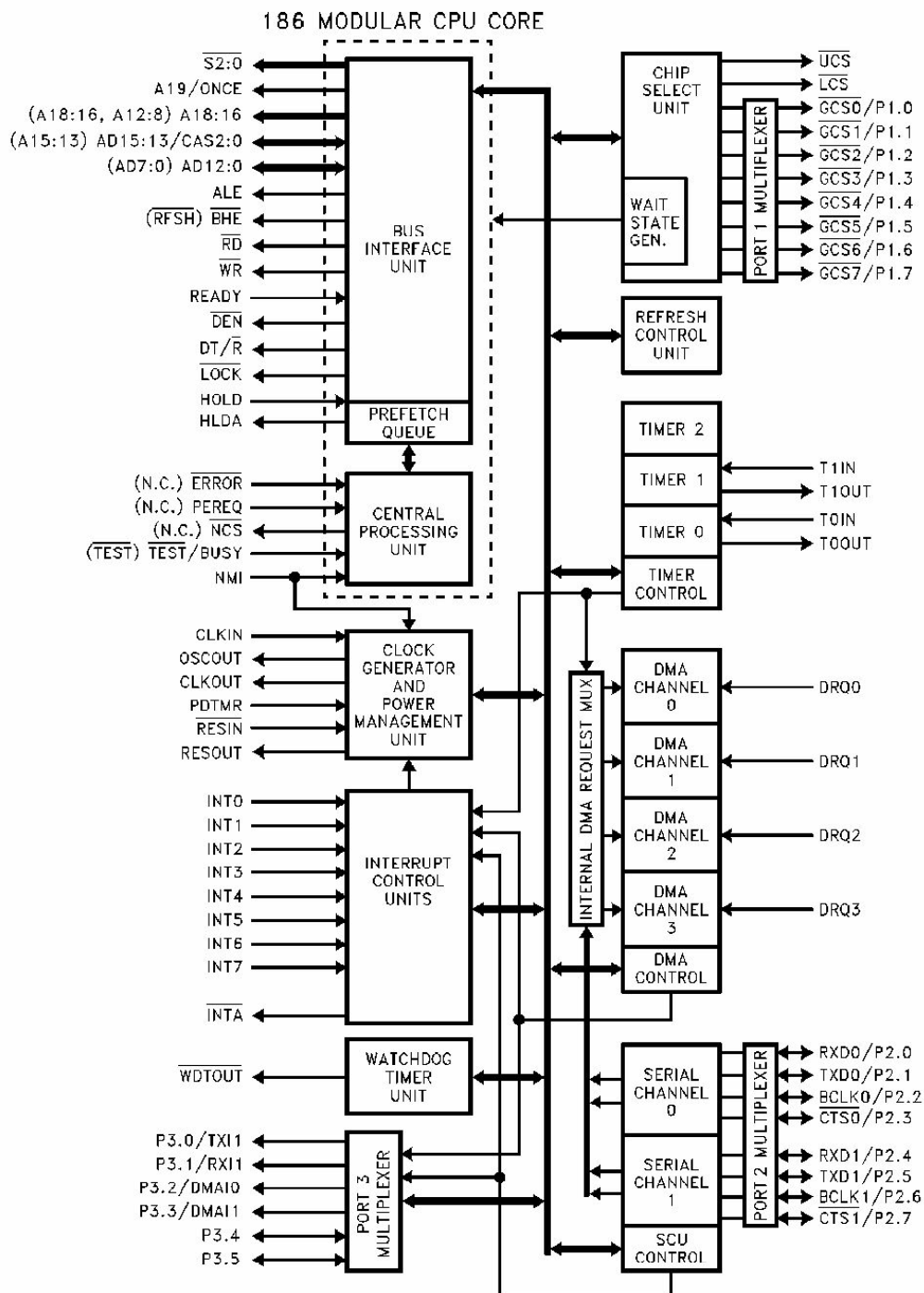


5. Embedded Microprocessor 80C186EC

- 8086 CPU
- Taktgenerator
- Drei programmierbare 16 bit Zähler
- Zwei kaskadierte 8259 kompatible Interruptkontroller
- DMA Kontroller mit vier Kanälen
- Chip Select Logik mit programmierbarem Waitstate Generator
- Zwei serielle Schnittstellen
- Refresheinrichtung für DRAMs



Peripheral Control Block:

Alle integrierten Peripheriebausteine werden von 16bit Registern innerhalb eines internen 256 Byte Registerblocks kontrolliert. Der PCB wird mit normalen Datentransferbefehlen angesprochen und kann durch Beschreiben des Relocation Registers an jede beliebige 256byte Grenze des Speicher- oder E/A-Adressraumes gelegt werden (default: Basisadresse = FF00 im E/A-Adressraum).

PCB Offset	Function	PCB Offset	Function	PCB Offset	Function	PCB Offset	Function
00H	Master PIC Port 0	40H	T2 Count	80H	GCS0 Start	C0H	DMA 0 Source Low
02H	Master PIC Port 1	42H	T2 Compare	82H	GCS0 Stop	C2H	DMA 0 Source High
04H	Slave PIC Port 0	44H	Reserved	84H	GCS1 Start	C4H	DMA 0 Dest. Low
06H	Slave PIC Port 1	46H	T2 Control	86H	GCS1 Stop	C6H	DMA 0 Dest. High
08H	Reserved	48H	Port 3 Direction	88H	GCS2 Start	C8H	DMA 0 Count
0AH	SCU Int. Req. Ltch.	4AH	Port 3 Pin State	8AH	GCS2 Stop	CAH	DMA 0 Control
0CH	DMA Int. Req. Ltch.	4CH	Port 3 Mux Control	8CH	GCS3 Start	CCH	DMA Module Pri.
0EH	TCU Int. Req. Ltch.	4EH	Port 3 Data Latch	8EH	GCS3 Stop	CEH	DMA Halt
10H	Reserved	50H	Port 1 Direction	90H	GCS4 Start	D0H	DMA 1 Source Low
12H	Reserved	52H	Port 1 Pin State	92H	GCS4 Stop	D2H	DMA 1 Source High
14H	Reserved	54H	Port 1 Mux Control	94H	GCS5 Start	D4H	DMA 1 Dest. Low
16H	Reserved	56H	Port 1 Data Latch	96H	GCS5 Stop	D6H	DMA 1 Dest. High
18H	Reserved	58H	Port 2 Direction	98H	GCS6 Start	D8H	DMA 1 Count
1AH	Reserved	5AH	Port 2 Pin State	9AH	GCS6 Stop	DAH	DMA 1 Control
1CH	Reserved	5CH	Port 2 Mux Control	9CH	GCS7 Start	DCH	Reserved
1EH	Reserved	5EH	Port 2 Data Latch	9EH	GCS7 Stop	DEH	Reserved
20H	WDT Reload High	60H	SCU 0 Baud	A0H	LCS Start	E0H	DMA 2 Source Low
22H	WDT Reload Low	62H	SCU 0 Count	A2H	LCS Stop	E2H	DMA 2 Source High
24H	WDT Count High	64H	SCU 0 Control	A4H	UCS Start	E4H	DMA 2 Dest. Low
26H	WDT Count Low	66H	SCU 0 Status	A6H	UCS Stop	E6H	DMA 2 Dest. High
28H	WDT Clear	68H	SCU 0 RBUF	A8H	Relocation Register	E8H	DMA 2 Count
2AH	WDT Disable	6AH	SCU 0 TBUF	AAH	Reserved	EAH	DMA 2 Control
2CH	Reserved	6CH	Reserved	ACH	Reserved	ECH	Reserved
2EH	Reserved	6EH	Reserved	AEH	Reserved	EEH	Reserved
30H	T0 Count	70H	SCU 1 Baud	B0H	Refresh Base Addr.	F0H	DMA 3 Source Low
32H	T0 Compare A	72H	SCU 1 Count	B2H	Refresh Time	F2H	DMA 3 Source High
34H	T0 Compare B	74H	SCU 1 Control	B4H	Refresh Control	F4H	DMA 3 Dest. Low
36H	T0 Control	76H	SCU 1 Status	B6H	Refresh Address	F6H	DMA 3 Dest. High
38H	T1 Count	78H	SCU 1 RBUF	B8H	Power Control	F8H	DMA 3 Count
3AH	T1 Compare A	7AH	SCU 1 TBUF	BAH	Reserved	FAH	DMA 3 Control
3CH	T1 Compare B	7CH	Reserved	BCH	Step ID	FCH	Reserved
3EH	T1 Control	7EH	Reserved	BEH	Powersave	FEH	Reserved

PCB Relocation Register: RELREG

15

ET	0	0	MEM	R19	R18	R17	R16	R15	R14	R13	R12	R11	R10	R9	R8
----	---	---	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----	----

ET Escape Trap (0)
MEM Memory/IO# (0)
R19:8 PCB Basisadresse (0FF)

Chip Select Logik:

Es stehen 10 CS – Signale zur Verfügung (UCS, LCS, GCS0 – GCS7). Für jedes Signal kann ein eigener Adressbereich im Speicher- oder I/O-Adressraum, sowie eine Anzahl von Waitstates (0 bis 15) eingestellt werden. UCS ist nach einem Reset aktiv und auf den obersten 1k Adressbereich des Speicheradressraumes eingestellt.

Chip select start register: UCSST, LCSST, GCS0ST, ... , GCS7ST

15

CS9	CS8	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0	0	0	WS3	WS2	WS1	WS0
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	-----	-----	-----	-----

CS9:0 Die zehn höchstwertigen bits der Startadresse (default: 3FF)
WS3:0 Anzahl der waitstates (default: 0F)

Chip select stop register: UCSSP, LCSSP, GCS0SP, ... , GCS7SP

15

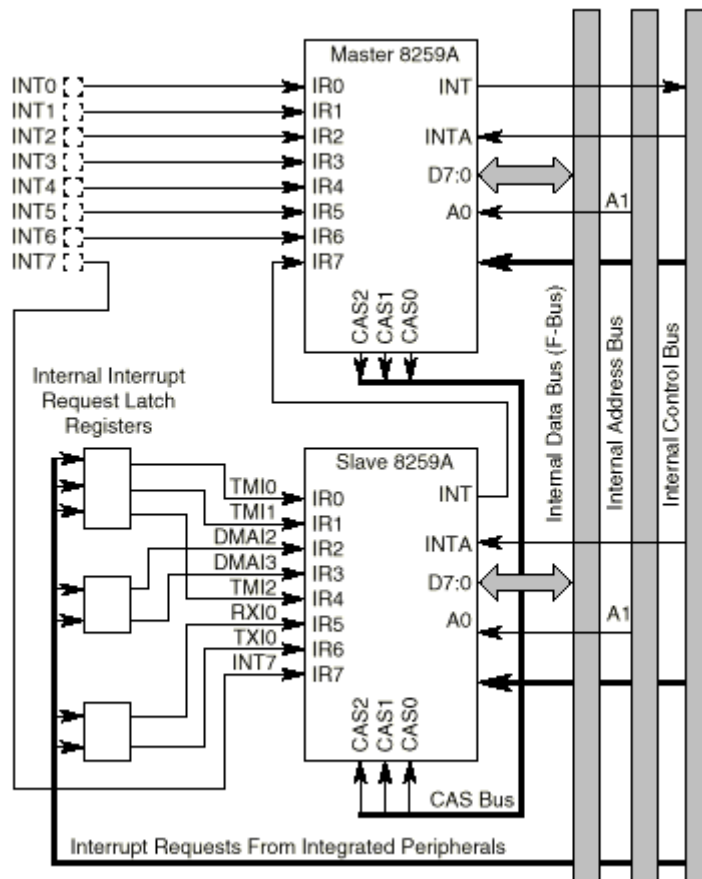
CS9	CS8	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0	0	0	CSEN	ISTP	MEM	RDY
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	------	------	-----	-----

CS9:0 Die zehn höchstwertigen bits der Stopadresse (default: 3FF)
CSEN Deaktiviert das Signal wenn rückgesetzt (default: 1 für USC, 0 für alle anderen)
ISTP Stoppadresse wird ignoriert, wenn gesetzt (default: 1 für UCS, 0 für alle anderen)
MEM Auswahl des Adressraumes; 1=Speicheradressraum, 0=IO-Adressraum (default: 1)
RDY Externes RDY-Signal wird berücksichtigt, wenn gesetzt (default: 1)

Interrupt controller:

Die ICU des 80C186EC besteht aus zwei kaskadierten 8259 kompatiblen Interrupt Controllern. Die Initialisierungssequenzen entsprechen denen des diskreten 8259 und werden über MPICP0 und MPICP1 des PCB für den Master, sowie über SPICP0 und SPICP1 für den Slave durchgeführt. Dabei werden ICW1, OCW2 und OCW3 auf MPICP0 bzw. SPICP0 und ICW2, ICW3, ICW4 und OCW1 auf MPICP1 bzw. SPICP1 geschrieben. Im Gegensatz zum diskreten 8259 existiert kein 8085 Modus. Daher sind alle Bits die sich auf diese Betriebsart beziehen in ICW1 und ICW2 auf 0 zu setzen. Weiters ist in ICW4 die Betriebsart „non buffered“ einzustellen.

Die internen Interruptanforderungen werden in sog. „Interrupt Request Latch Registers“ zwischengespeichert. Daher ist es notwendig, in einer ISR das entsprechende Bit im entsprechenden Interrupt Request Latch Register vor dem EOI – Kommando an den Slave zu löschen (der Slave darf nicht im AEOI – Modus betrieben werden). Über diese Register ist es auch möglich, durch setzen des entsprechenden Bits, diese Interrupts per Software auszulösen.



DMA Interrupt Request Latch: DMAIRL

15

0	0	0	0	MSK3	MSK2	MSK1	MSK0	0	0	0	0	DMIR3	DMIR2	DMIR1	DMIR0
---	---	---	---	------	------	------	------	---	---	---	---	-------	-------	-------	-------

DMIR3:0 DMA Interrupt request (default: 0)

MSK3:0 Muß gesetzt sein, um das entsprechende Requestbit verändern zu können

Serial Communications Interrupt Request Latch: SCUIRL

15

0	0	0	0	MSK3	MSK2	MSK1	MSK0	0	0	0	0	RXIR1	TXIR1	RXIR0	TXIR0
---	---	---	---	------	------	------	------	---	---	---	---	-------	-------	-------	-------

TXIR1:0 Serial Transmitter Interrupt request (default: 0)

RXIR1:0 Serial Receiver Interrupt request (default: 0)

MSK3:0 Muß gesetzt sein, um das entsprechende Requestbit verändern zu können

Timer Interrupt Request Latch: TIMIRL

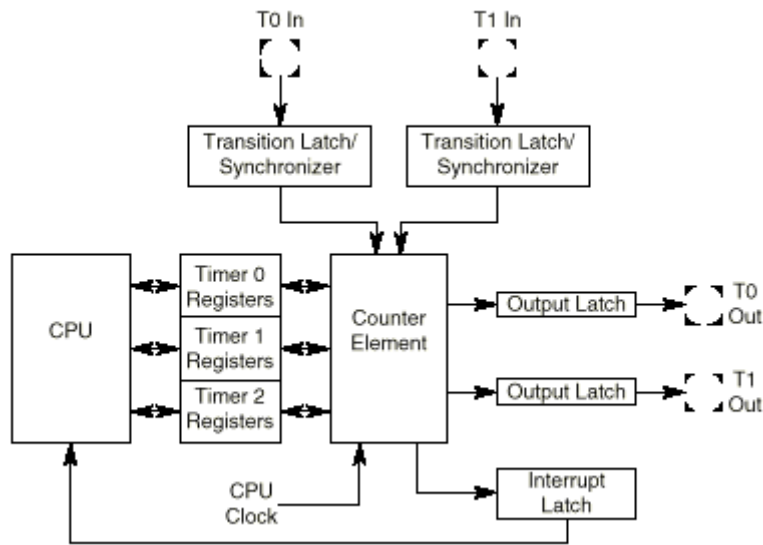
15

0	0	0	0	0	0	MSK2	MSK1	MSK0	0	0	0	0	0	TIR2	TIR1	TIR0
---	---	---	---	---	---	------	------	------	---	---	---	---	---	------	------	------

TIR2:0 Timer Interrupt request (default: 0)

MSK3:0 Muß gesetzt sein, um das entsprechende Requestbit verändern zu können

Timer:



Die Timer/counter .- Einheit besteht aus drei unabhängigen 16Bit Aufwärtszählern. Jeder Zähler besitzt ein Control Register (T0CON, T1CON, T2CON), ein Zählregister (T0CNT, T1CNT, T2CNT) und ein (Timer2: T2CMPA) oder zwei (Timer0: T0CMPA, T0CMPB; Timer1: T1CMPA, T1CMPB) Maxcount Compare Register. Erreicht ein laufender Zähler den in TxCMPA voreingestellten Wert wird er auf Null zurückgesetzt und bleibt, je nach Betriebsart, entweder stehen, oder zählt weiter. Bei Erreichen des Vergleichswertes wird ein Interrupt generiert und am zugehörigen Ausgang (nur Timer0 und Timer1) ein Puls ausgegeben. Timer 0 und Timer1 können auch in einem Modus betrieben werden, in dem der Zähler einmal bis zum Vergleichswert A und dann bis zum Vergleichswert B zählt. In dieser Betriebsart nimmt der zugehörige Ausgang während der Zählphase A high-Pegel und während der Zählphase B low-Pegel an. Auch beim Erreichen des Vergleichswertes B wird ein Interrupt generiert.

Timer0 und Timer1 können entweder extern (über T0IN bzw. T1IN) oder intern (1/4 CLKOUT oder Timer2 als Vorteiler) getaktet werden (T0IN und T1IN dienen dann als Steuer- oder Triggereingang). Timer2 kann nur intern mit 1/4 CLKOUT getaktet werden.

Timer0 und Timer1 Control Registers: T0CON, T1CON

15

EN	INH/	INT	RIU	0	0	0	0	0	0	0	MC	RTG	P	EXT	ALT	CONT
----	------	-----	-----	---	---	---	---	---	---	---	----	-----	---	-----	-----	------

EN Enable (default: 0)

INH/ Inhibit; EN kann nur beschrieben werden, wenn INH/=1

INT Interrupt enable

CONT Continuous Mode; wenn 0, wird EN nach einer Zählersequenz automatisch rückgesetzt.

ALT Alternate Compare Register

EXT External Clock

P Prescaler; Takt kommt von Timer2; nur relevant, wenn EXT=0

RTG Retrigger; nur relevant, wenn EXT=0

RTG=0: TxIN fungiert als Steuereingang für Timerx

RTG=1: steigende Flanke an TxIN setzt Timerx auf null

- RIU Statusbit Register in use; gibt an, welcher Vergleichswert gerade verwendet wird (0 = A, 1 = B)
- MC Statusbit Maximum count; zeigt an, ob ein Vergleichswert (A oder B) bereits erreicht wurde

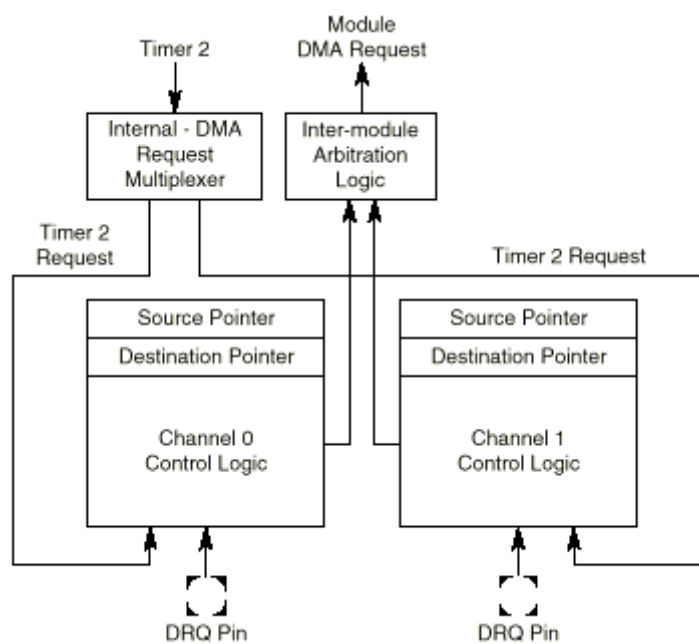
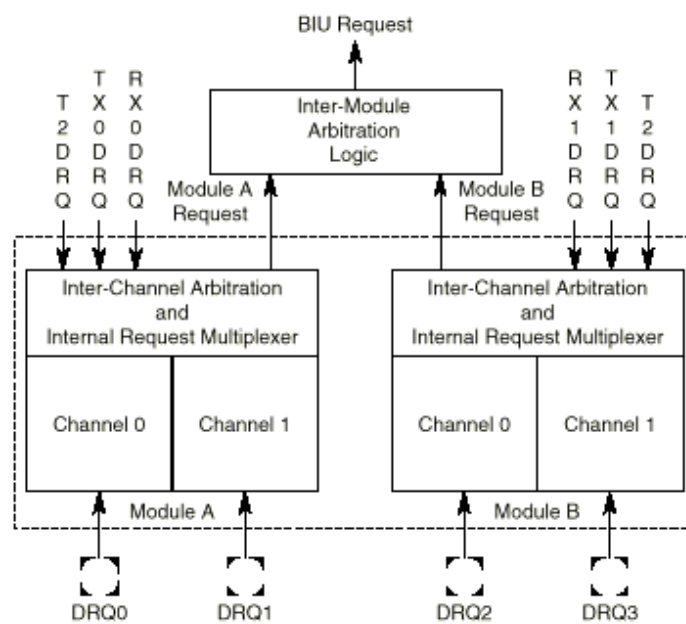
Timer2 Control Registers: T2CON

15

EN	INH/	INT	0	0	0	0	0	0	0	0	MC	0	0	0	0	CONT
----	------	-----	---	---	---	---	---	---	---	---	----	---	---	---	---	------

Die einzelnen Bits haben dieselbe Bedeutung wie bei T0CON und T1CON

DMA Unit



DDEC Destination Decrement; 1 = Destination Pointer wird nach jedem Transfer dekrementiert; ist DINC = DDEC bleibt der Destination Pointer konstant

TC Terminal Count; 1: DMA Vorgang wird beendet (STRT=0), wenn die im Transfer Count Register vorgeseetzte Anzahl von Transfers durchgeführt wurde

INT Interrupt; 1: Interrupt request wird generiert, wenn die im Transfer Count Register vorgeseetzte Anzahl von Transfers durchgeführt wurde (TC muß gesetzt sein)

SYN1:0 Synchronization Type; 00: Unsynchronized
01: Source Synchronized
10: Destination Synchronized
11: Reserved

P Relative Priority; 1: high priority

IDRQ Internal DMA Request Select; 1: Internal DMA request, 0: DMA request über DRQ pins

CHG Change Start Bit; 1: erlaubt, das bit STRT zu modifizieren

STRT Start DMA Channel (default 0); 1: DMA Kanal ist bereit

WORD Word Transfer Select; 1: word transfer, 0: byte transfer

DMA Transfer Count: DxTC

15

TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
------	------	------	------	------	------	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

TC15:0 Transfer Count

DMA Module Priority Register: DMAPRI

15

0	0	0	0	0	IDRQ B	IDRQ A	0	0	0	0	0	0	DMAP B	0	DMAP A
---	---	---	---	---	-----------	-----------	---	---	---	---	---	---	-----------	---	-----------

DMAPA DMA Module A Priority (default 0); 1: Modul A hat hohe Priorität

DMAPB DMA Module B Priority (default 0); 1: Modul B hat hohe Priorität

IDRQA Internal DMA Request for Module A (default 0);
1: Serial Channel 0 (Tx0→DMA0, Rx0→DMA1)
0: Timer2→DMA0, DMA1

IDRQB Internal DMA Request for Module B (default 0);
1: Serial Channel 1 (Tx1→DMA2, Rx1→DMA3)
0: Timer2→DMA2, DMA3

DMA Halt Register: DMAHALT

15

HMI	0	0	0	0	0	HM B	HM A	HNMI	0	0	0	0	0	HDM B	HDM A
-----	---	---	---	---	---	---------	---------	------	---	---	---	---	---	----------	----------

HDMA Halt DMA Module A (default 0); 1: unterbricht Transfers von Modul A

HDMB Halt DMA Module B (default 0); 1: unterbricht Transfers von Modul B

HNMI Halt DMA Unit for NMI Service (default 0); durch NMI gesetzt, durch IRET rückgesetzt

HMA Halt Mask for Module A (default 0); 1: erlaubt, HDMA zu ändern

HMB Halt Mask for Module B (default 0); 1: erlaubt, HDMB zu ändern

HMI Halt Mask for HNMI (default 0); 1: erlaubt, HNMI zu ändern

Serial Communications Unit

Zwei identische asynchrone/synchrone serielle Schnittstellen. Es stehen 4 asynchrone (mode 1,2,3,4) und eine synchrone Betriebsart (mode 0) zur Verfügung.

Mode 1: 8 Datenbits ohne Parity oder 7 Datenbits plus Parity

Mode 3: 8 Datenbits plus Parity oder 8 Datenbits plus TB8 (siehe Control Register)

Mode 2: wie mode 3, jedoch wird vom Empfänger jedes Zeichen ignoriert, dessen neuntes Bit (TB8) null ist. Damit kann eine Multiprozessor-Kommunikation (master - slave) durchgeführt werden: Master (immer mode 3) sendet im ersten Rahmen eine Adresse mit TB8=1; alle Slaves (in mode 2) empfangen diesen Rahmen; angesprochener Slave schaltet auf mode 3 und kommuniziert mit Master (TB8=0); am Ende der Kommunikation schaltet angesprochener Slave wieder auf mode 2.

Mode 4: 7 Datenbits ohne Parity

Mode 0: Synchrone Betriebsart mit 8 Datenbits ohne Parity; nur Halbduplex möglich; Takt wird an TxD ausgegeben, RxD ist sowohl Datenausgang als auch Dateneingang; Schnittstelle kann nicht von außen getaktet werden. Diese Betriebsart ist in erster Linie zum Anschluß von Schieberegistern vorgesehen.

Serial Receive Buffer Register: RxBUF

15

0	0	0	0	0	0	0	0	0	0	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
---	---	---	---	---	---	---	---	---	---	-----	-----	-----	-----	-----	-----	-----	-----

RB7:0 Received Data (default 0)

Serial Transmit Buffer Register: TxBUF

15

0	0	0	0	0	0	0	0	0	0	TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0
---	---	---	---	---	---	---	---	---	---	-----	-----	-----	-----	-----	-----	-----	-----

TB7:0 Transmit Data Field (default 0)

Baud Rate Compare Register: BxCMP

15

ICLK	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
------	------	------	------	------	------	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

ICLK Internal Clocking (default 0); 1: Baud clock = $\frac{1}{2}$ fquartz; 0: Baud clock = extern (Pin BCLK)

BR14:0 Baud Rate Compare Field (default 0);
 Internal clock mode 0: BxCMP = $(\frac{1}{2} \text{ fquartz} / \text{baud rate}) - 1$
 Internal clock mode 1-4: BxCMP = $[\frac{1}{2} \text{ fquartz} / (8 * \text{baud rate})] - 1$
 External clock mode 0: BxCMP = BCLK/ baud rate
 External clock mode 1-4: BxCMP = BCLK/(8*baud rate)

Serial Port Control Register: SxCON

15

0	0	0	0	0	0	0	0	SBRK	TB8	CEN	REN	EVN	PEN	M2	M1	M0
---	---	---	---	---	---	---	---	------	-----	-----	-----	-----	-----	----	----	----

SBRK	Send Break (default 0); 1: TxD geht auf low bis SBRK gelöscht wird
TB8	Transmitted Bit 8 (default 0); achttes Bit in Mode 2 und 3
CEN	Clear-To-Send Enable (default 0); 1: CTS/ Pin ist aktiv
REN	Receive Enable (default 0);
EVN	Even Parity Select (default 0); 1: even parity, 0: odd parity
PEN	Parity Enable (default 0);
M2:0	Serial Port Mode Field (default 0);
	000 Synchronous Mode (mode 0)
	001 Asynchronous Mode 1
	010 Asynchronous Mode 2
	011 Asynchronous Mode 3
	100 Asynchronous Mode 4
	101 Reserved
	110 Reserved
	111 Reserved

Serial Status Register: SxSTS

15

0	0	0	0	0	0	0	DBRK1	DBRK0	RB8/PE	RI	TI	FE	TXE	OE	CTS	0
---	---	---	---	---	---	---	-------	-------	--------	----	----	----	-----	----	-----	---

DBRK1	Detect Break 1 (default 0); 1: wenn an RxD länger als 2m+3 bit low (m: Bits pro Rahmen)
DBRK2	Detect Break 2 (default 0); 1: wenn an RxD länger als m bit low
RB8/PE	Received Bit8/Parity Error (default 0);
TI	Transmit Interrupt (default 0);
RI	Receive Interrupt (default 0);
FE	Framing Error (default 0); 1: wenn kein gültiges Stoppbit erkannt wird
TXE	Transmitter Empty (default 1); 1: wenn TxBuffer und Schieberegister leer sind
OE	Overrun Error (default 0); 1: wenn ein Zeichen nicht rechtzeitig abgeholt wurde
CTS	Clear to Send (default 0); Komplement des Zustandes am Pin CTS/

Zusätzliche Interruptanforderungen

Array Bounds Check – Vektor 5 (siehe Befehl BOUND)

Invalid Opcode – Vektor 6

Escape Opcode – Vektor 7

Zusätzliche Maschinenbefehle

PUSHA/POPA: AX,BX,CX,DX,SP,BP,SI,DI auf/vom Stapel

INS: Mit Prefix REP Blocktransfer I/O (DX) → Memory (ES:DI)

OUTS: Mit Prefix REP Blocktransfer Memory (DS:SI) → I/O (DX)

PUSH *data*:

IMUL *data*:

SHIFT/ROTATE *destination, count*: Der durch *destination* angegebene Operand wird um *count* Stellen verschoben

Befehle zur Unterstützung von Hochsprachen

BOUND *register, address*: Der Inhalt eines angegebenen Registers wird mit zwei hintereinander stehenden Werten im Speicher verglichen. Ist der Registerwert kleiner als das erste Speicherwort oder größer als das zweite, wird ein Interrupt mit der Vektornummer 5 ausgelöst.

ENTER *size, level*: Unterstützt den Aufruf von Unterprogrammen. Die Zeiger in den alten Stapelbereich werden gerettet und ein neuer Stapelbereich der Größe *size* wird eingerichtet. Der Wert *level* gibt eine Verschachtelungstiefe an. Ist sie größer null, wird im alten Stapelbereich eine Liste der Zeiger auf die Stapelbereiche der übergeordneten Unterprogramme erstellt.

LEAVE: Umkehroperation zu ENTER. Die Zeiger in den alten Stapelbereich werden restauriert.