

Diplomarbeiten DCGR SC CE

DfT & BIST - Übersicht



- Built-In Self-Test (BIST) for PLLs in RF integrated circuits
 - Goal:
Find and describe an area efficient BIST for a RF Transmitter

 - Contents:
 - Literature search
 - Comparison of different approaches by means of simulation
 - Refine some critical elements of BiST eg. on-chip signal sources and/or measurement circuits.

- BIST for flash memory cells
 - Goal :
Design a fast, time and area efficient building block for flash memory cell self test

 - Contents:
 - DfT measures for time efficient flash BIST
 - Derive fast on-chip measurement methods for reference cell trimming and sense amplifier threshold measurement
 - Design and layout of test circuit

Contact:

constant.lentz@infineon.com

Tel.: 0676 8205 5427

More details can be found on the following slides...

Built-In Self-Test (BIST) von PLLs in RF Integrated Circuits



- Welches Problem soll gelöst werden?
 - Ziel des Projektes ist es die in der Spezifikation festgelegten PLL-Parameter mittels BIST und/oder mittels on-loadboard Hardware zu testen.
 - Dazu muss eine Lösung gefunden werden, die die Testerhardware drastisch reduziert und die den seriellen Testablauf parallelisiert um damit die Testzeiten als auch die Testkosten wesentlich zu reduzieren.
 - Die Rolle des Testers besteht somit darin den Test zu triggern und später das Resultat aus dem Chip über I2C auszulesen bzw. die an der externen Hardware zur Verfügung stehenden Signale mit verhältnismäßig einfachen DC oder AC-Messungen zu erfassen.
- Beschreibung der Lösung mit Plan / Blockdiagramm / Modellierung / Machbarkeit
 - Um den Tester von der Zeitbürde des Tests der PLL zu entlasten wird ein eigens dafür vorgesehener Testcontroller in Form eines Testsequencers (intelligente State Machine) auf dem Chip untergebracht, welcher in diesem Fall die richtige Reihenfolge der Tests innerhalb des Chips, wie z.B. VCO Kalibrierung, Lock Detection als auch außerhalb, wie z.B. Spurs- und PhaseNoise-Messungen verteilt und handhabt.
 - Analoge Messungen zum Zurücklesen von Strom und/oder Spannung können über den internen ADC oder über die vorhandenen Multiplexer auf die herkömmliche Art und Weise ausgelesen werden. Es wird ausschließlich die Funktion des Testers nach innen in den Chip bzw auf das Testboard verlegt. Es wird sichergestellt, dass mit den Methoden vergleichbare Resultate erzielt werden können.

Built-In Self-Test (BIST) von Flash Memory Zellen



- Welches Problem soll gelöst werden?
 - Ziel des Projektes ist es die in der Spezifikation festgelegten Flash-Parameter mittels BIST zu testen.
 - Dazu muss eine Lösung gefunden werden, die den seriellen Testablauf parallelisiert um damit die Testzeiten als auch die Testkosten wesentlich zu reduzieren.
 - Die Rolle des Testers besteht somit nun darin den Test zu triggern und später das Resultat aus dem Chip mit den zur Verfügung stehenden Möglichkeiten über I2C auszulesen.

- Beschreibung der Lösung mit Plan / Blockdiagramm / Modellierung / Machbarkeit
 - Um den Tester von der Zeitbürde des Flashtestens zu entlasten wird ein eigens dafür vorgesehener Testcontroller in Form eines Testsequencers (intelligente State Machine), der in einem Spezialfall auch ein zweiter uC Core sein kann, auf dem Chip untergebracht.
 - Zudem wird für die Referenzzellentrimmung ein einstellbarer Pulsgenerator, der die für die Trimmung nötigen Pulse in einer, von Chip zu Chip, anzupassenden Breite und Höhe erzeugt.
 - Analoge Messungen zum Zurücklesen von Strom und/oder Spannung können über den internen ADC oder über die vorhandenen Multiplexer auf die herkömmliche Art und Weise ausgelesen werden. Zu bemerken ist, dass zwecks Charakterisierung die bestehende Funktionalität, sehr wohl weiterhin verwendet werden kann. Außerdem beinhaltet die Flash-Hardware genügend DfT-Funktionalität, dass keine Änderungen an diesem Block notwendig sind. Es wird ausschließlich die Funktion des Testers nach innen in den Chip verlegt, sodass mit beiden Methoden vergleichbare Resultate erzielt werden können.