

Abbildung 1.2: Allgemeines Sender-Empfänger Modell mit Spannung als Information

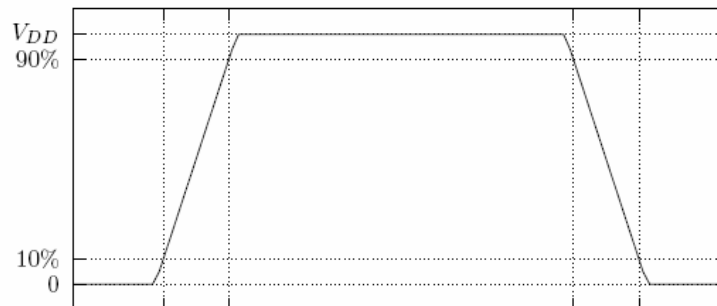


Abbildung 1.6: Anstiegszeit (risetime) und Fallzeit (falltime)

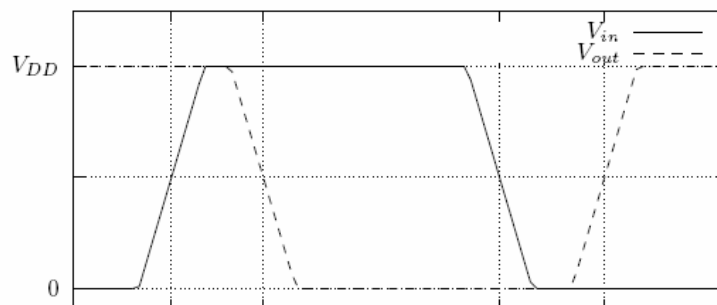
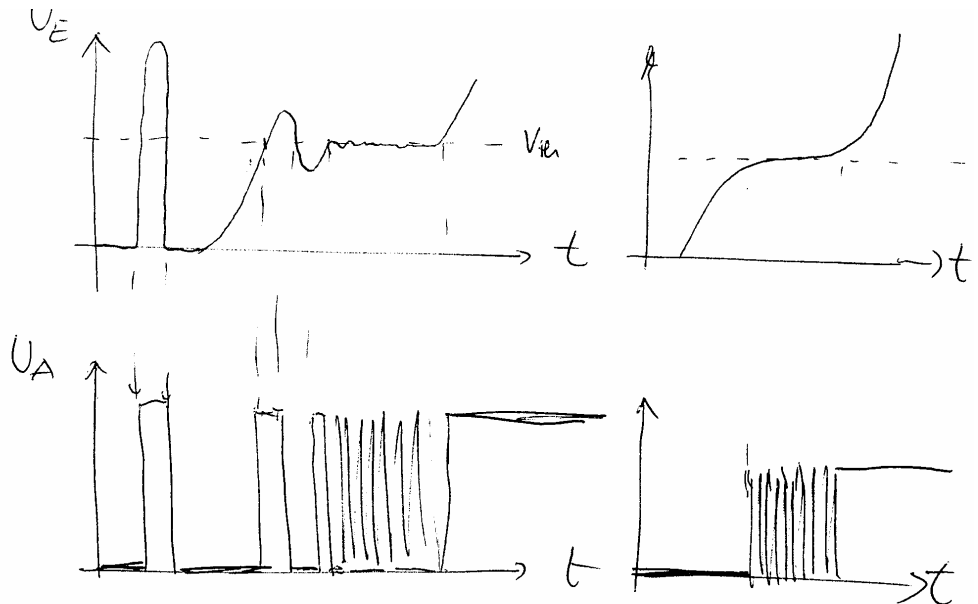
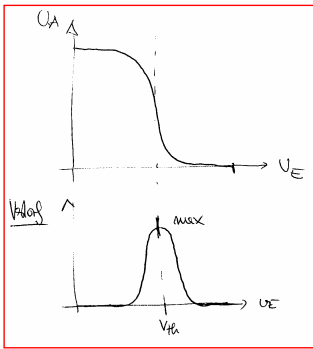


Abbildung 1.7: Verzögerungszeit (propagation delay) anhand eines Inverters



## 2 Kombinatorische Logik

Mit zwei zweiwertigen Variablen können vier verschiedene Zustände beschrieben werden (00, 01, 10, 11). Jeder dieser vier Kombinationen kann bei einer Verknüpfung als Ergebnis 0 oder 1 zugeordnet werden (zwei unterschiedliche Zuordnungen). Damit gibt es  $2^4 = 16$  verschiedene Möglichkeiten zwei binäre Variablen miteinander zu verknüpfen.

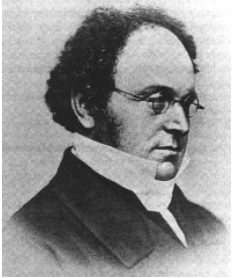
A	B	Null	Konjunktion	Inhibition aus A	Verstärker A	Inhibition aus B	Verstärker B	Antivalenz	Disjunktion	NOR	Äquivalenz	Negation von B	Implikation aus B	Negation von A	Implikation aus A	NAND	Eins
A	B	$0$	$A \cdot B$	$\overline{A \rightarrow B}$	$A$	$\overline{B \rightarrow A}$	$B$	$A \oplus B$	$A + B$	$\overline{A + B}$	$A \equiv B$	$\overline{B}$	$B \rightarrow A$	$\overline{A}$	$A \rightarrow B$	$\overline{A \cdot B}$	$1$
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Tabelle 2.1: Mögliche logische Verknüpfungen der beiden binären Variablen A und B

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

$$A + (B + C) = (A + B) + C$$

Tabelle 2.12: Assoziatives Gesetz (Verbindung)



Augustus De Morgan, 19. Jhdt

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

$$A + B \cdot C = (A + B) \cdot (A + C) \quad *$$

Tabelle 2.13: Distributives Gesetz (Verteilung)

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad *$$

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad *$$

Tabelle 2.14: Identität nach DeMorgan (DeMorgan'sches Theorem)

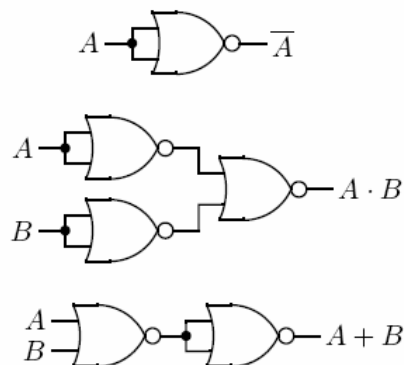


Abbildung 2.9: Logische Grundfunktionen mit NOR-Gattern: NOT, AND, OR

$$(A + B)(C + D + E)F = \overline{\overline{(A + B)(C + D + E)F}} = \overline{\overline{A + B} + \overline{C + D + E} + \overline{F}} \quad (2.9)$$

- **Kapitel 9 Logische Funktionen mit MOS-Transistoren: CMOS** **323**
- 9.1 Einführung. . . . . 325
- 9.2 CMOS. . . . . 327
- 9.2.1 Inverter . . . . . 327
- 9.2.2 Logische Funktionen. . . . . 332
- 9.2.3 Leistungsaufnahme . . . . . 340
- 9.3 Physikalischer Aufbau von CMOS - Schaltungen. . . . . 343
- 9.3.1 Latch-Up . . . . . 344
- 9.3.2 Schutzstruktur . . . . . 345
- 9.4 Transmissionsgatter . . . . . 347
- 9.4.1 Logikschaltungen mit Transmissionsgattern . . . . . 350
- Zusammenfassung . . . . . 352

### 3 Logische Funktionen mit MOSFETs

#### 3.1 MOSFET

##### 3.1.1 Aufbau

In den Abbildungen 3.1, 3.2 und 3.3 ist der Aufbau von MOSFETs dargestellt. Bei den weiteren Betrachtungen werden MOSFETs als MOSTs bezeichnet, bzw. N-Kanal-MOSFET und P-Kanal-MOSFET als NMOST und PMOST.

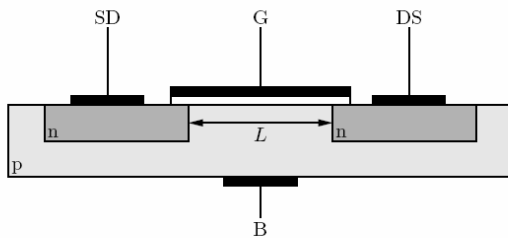


Abbildung 3.1: NMOS Transistor

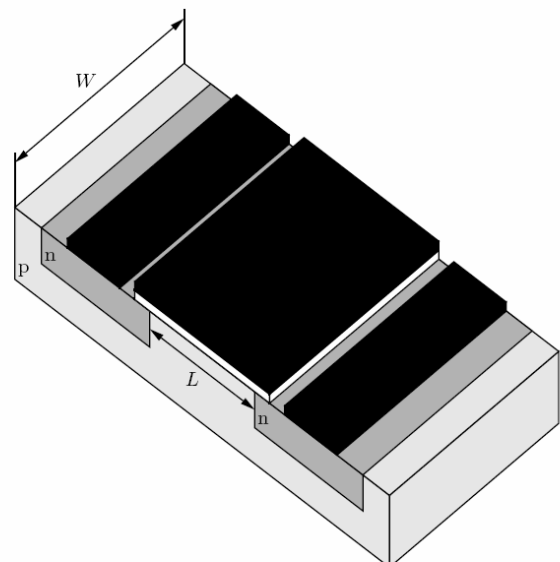
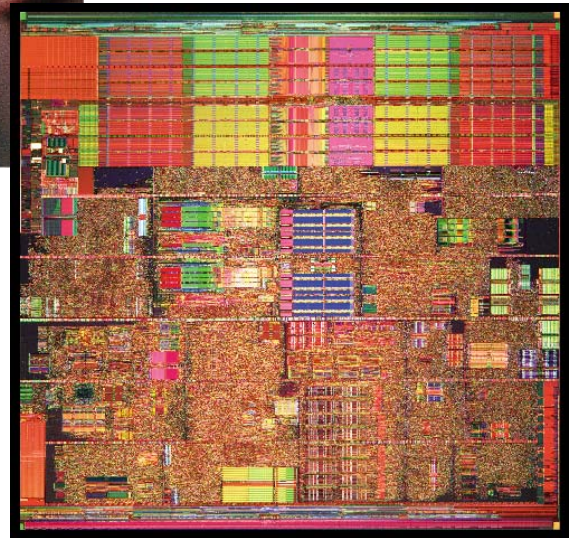
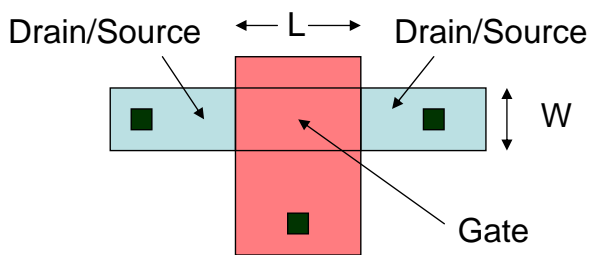
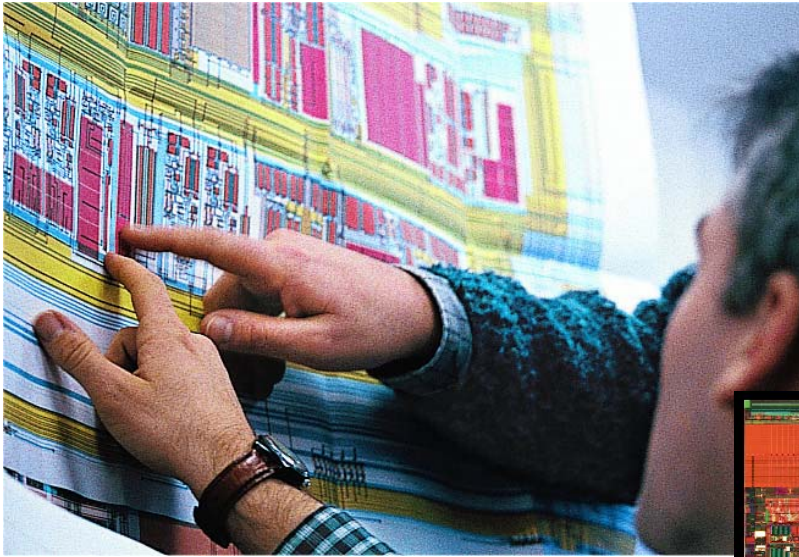


Abbildung 3.2: NMOS Transistor

### 3 Logische Funktionen mit MOSFETs



### 3 Logische Funktionen mit MOSFETs

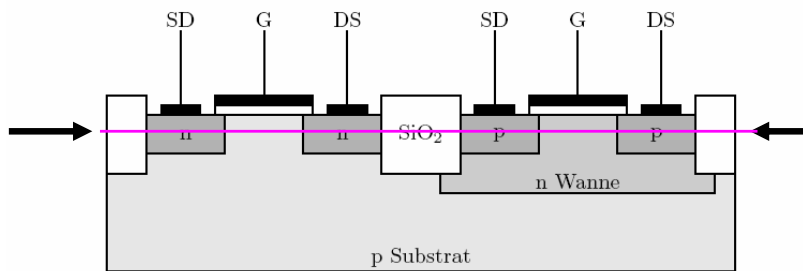


Abbildung 3.3: CMOS: NMOST und PMOST (n-Wannen-Prozess, Substratan-schlüsse nicht eingezeichnet)

#### 3.1.2 Schaltzeichen

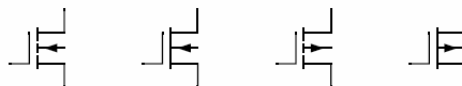


Abbildung 3.4: NMOST selbstsperrend, NMOST selbstleitend, PMOST selbst-sperrend, PMOST selbstleitend

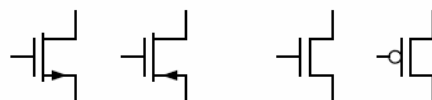
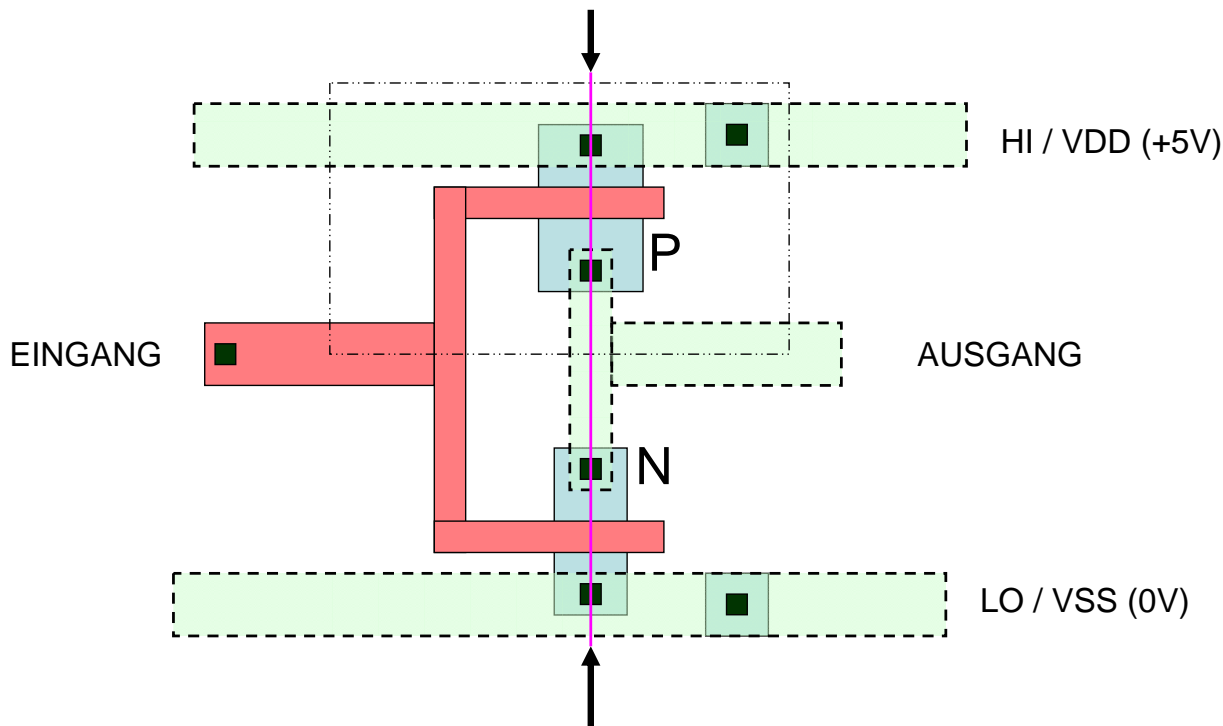


Abbildung 3.5: Vereinfachte Schaltsymbole für NMOSTs und PMOSTs



3 Logische Funktionen mit MOSFETs

3.1.3 Modell und Kennlinien

Großsignal

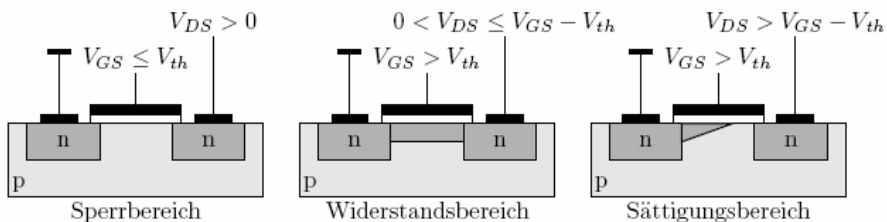


Abbildung 3.6: CMOS: Arbeitsbereiche des NMOS Transistors

$I_G = 0$	$I_S = I_D$	
$I_D = 0$	$V_{GS} < V_{th}$	Sperrbereich (cut-off)
$I_D = \beta \left( (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right)$	$0 < V_{DS} < V_{GS} - V_{th}$	Widerstandsbereich (linear)
$I_D = \frac{\beta}{2} (V_{GS} - V_{th})^2$	$0 < V_{GS} - V_{th} < V_{DS}$	Sättigungsbereich (saturation)

$$\beta = \kappa \frac{W}{L} = \frac{\mu \epsilon}{\tau_{ox}} \frac{W}{L}$$

$$I_D (1 + \lambda V_{DS})$$

Kanallängenmodulationsfaktor für endlichen Ausgangswiderstand

Tabelle 3.1: Vereinfachte Großsignalgleichungen

### 3 Logische Funktionen mit MOSFETs

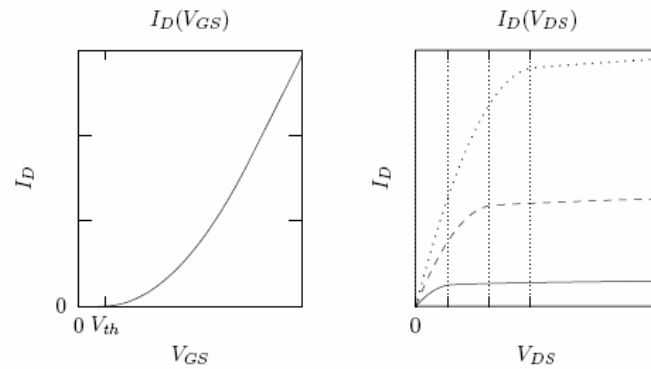


Abbildung 3.7: Kennlinien eines NMOSTs

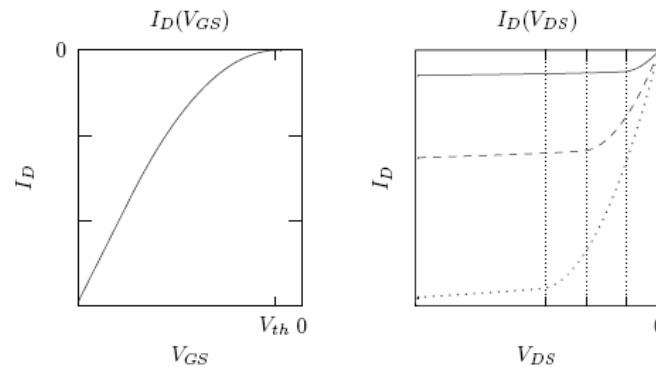


Abbildung 3.8: Kennlinien eines PMOSTs

### 3 Logische Funktionen mit MOSFETs

#### Kleinsignal

Im Widerstandsbereich verhält sich der MOST wie ein spannungsgesteuerter Widerstand.

$$g_{DS} = \frac{\partial I_D}{\partial V_{DS}} = \beta(V_{GS} - V_{th} - V_{DS}), \quad r_{DS} = \frac{1}{g_{DS}} = \frac{1}{\beta(V_{GS} - V_{th} - V_{DS})} \quad (3.1)$$

Wird der MOST als Schalter verwendet, kann angenommen werden, dass die Drain-Source-Spannung  $V_{DS}$  deutlich kleiner als  $V_{GS} - V_{th}$  ist. Damit kann diese vernachlässigt werden und ein Einschaltwiderstand  $r_{on}$  angegeben werden.

$$r_{on} \approx \frac{1}{\beta(V_{GS} - V_{th})} \quad (3.2)$$

Im Sättigungsbereich verhält sich der MOST wie eine spannungsgesteuerte Stromquelle mit der Steilheit  $S$  und dem Drain-Source-Widerstand  $r_{DS}$ .

$$S = g_m = \frac{\partial I_D}{\partial V_{GS}} = \beta(V_{GS} - V_{th}) = \sqrt{\beta^2(V_{GS} - V_{th})^2} = \sqrt{2\beta I_{DS}} \quad (3.3)$$

$$g_{DS} = \frac{\partial I_D}{\partial V_{DS}} = \frac{\beta}{2}(V_{GS} - V_{th})^2 \lambda = \frac{I_D}{1 + \lambda V_{DS}} \lambda \approx I_D \lambda, \quad r_{DS} = \frac{1}{g_{DS}} = \frac{1}{\lambda I_D} \quad (3.4)$$

### 3 Logische Funktionen mit MOSFETs

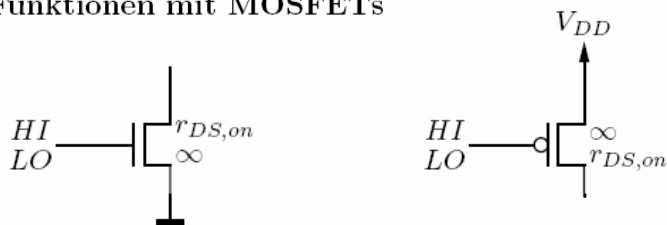


Abbildung 3.9: NMOST: Low Side Switch, PMOST: High Side Switch

#### 3.2.1 Inverter

- NMOST zieht auf LO wenn am Eingang HI anliegt.
- PMOST zieht auf HI wenn am Eingang LO anliegt.

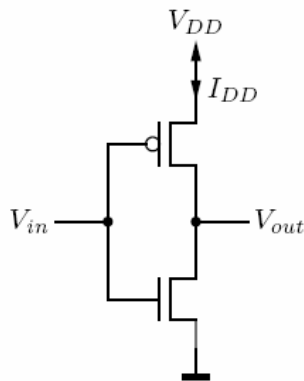


Abbildung 3.10: Inverter

### 3 Logische Funktionen mit MOSFETs

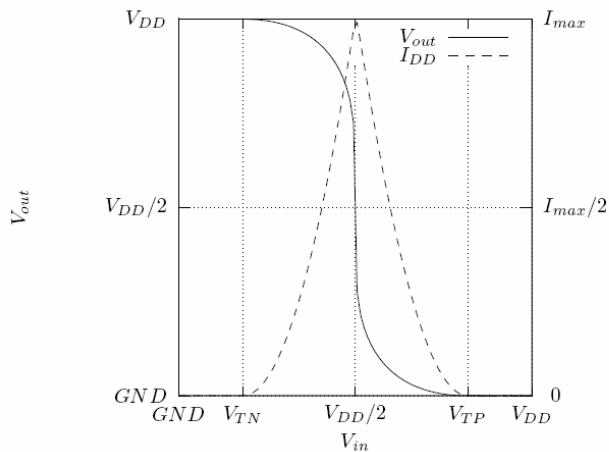
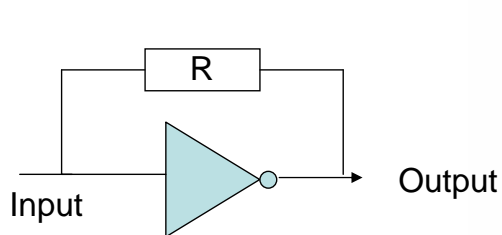
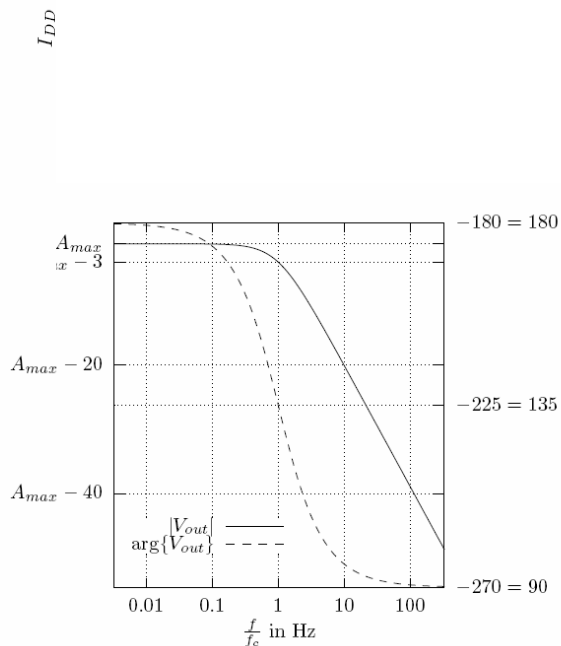


Abbildung 3.11: CMOS-Inverter: DC Übertragungsfunktion



$|V_{out}|$  in dB



$\arg\{V_{out}\}$  in °

Abbildung 3.12: CMOS-Inverter: AC Übertragungsfunktion, Arbeitspunkt bei  $V_{in} = V_{out} = \frac{V_{DD}}{2}$



### 3 Logische Funktionen mit MOSFETs

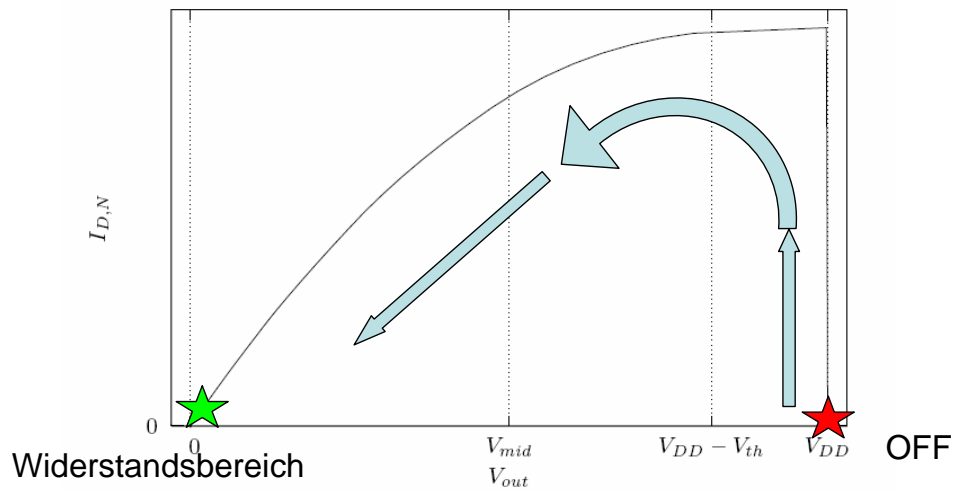


Abbildung 3.13: CMOS-Inverter: Strom durch den NMOST ( $I_{D,N}$ ) bei einem Schaltvorgang ( $V_{in} = LO \rightarrow HI$ ),  $V_{DD} - V_{th} < V_{out} < V_{DD}$ ...NMOST in Sättigung,  $V_{out} \leq V_{DD} - V_{th}$ ...NMOST im linearen Bereich,  $G_{out}(t) = \frac{I_{D,N}}{V_{out}}$

### 3 Logische Funktionen mit MOSFETs

#### 3.2.2 Logische Funktionen

Annahme: Positive Logik ( $0 \dots LO$ ,  $1 \dots HI$ ).

Die NMOSTs im Pull-Down-Netzwerk schalten durch, wenn am Gate  $HI$  anliegt und sperren wenn am Gate  $LO$  anliegt.

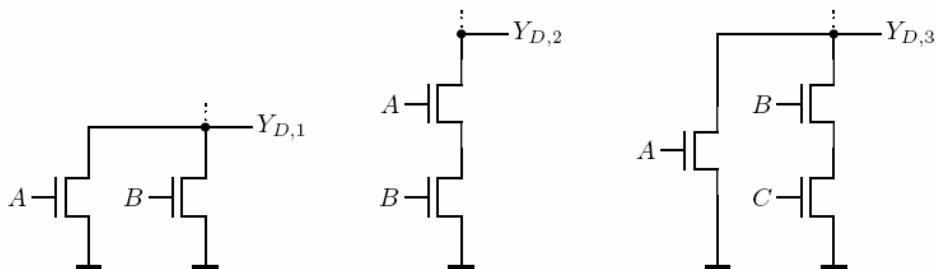


Abbildung 3.14: Pull-Down-Netzwerke (PDN)

$$\overline{Y_{D,1}} = A + B \quad \Rightarrow \quad Y_{D,1} = \overline{A + B} \quad \Rightarrow \quad \text{PDN NOR}$$

$$\overline{Y_{D,2}} = A \cdot B \quad \Rightarrow \quad Y_{D,2} = \overline{A \cdot B} \quad \Rightarrow \quad \text{PDN NAND}$$

$$\overline{Y_{D,3}} = A + B \cdot C \quad \Rightarrow \quad Y_{D,3} = \overline{A \cdot (\overline{B + C})}$$

### 3 Logische Funktionen mit MOSFETs

Die PMOSTs im Pull-Up-Netzwerk schalten durch, wenn am Gate *LO* anliegt und sperren wenn am Gate *HI* anliegt.

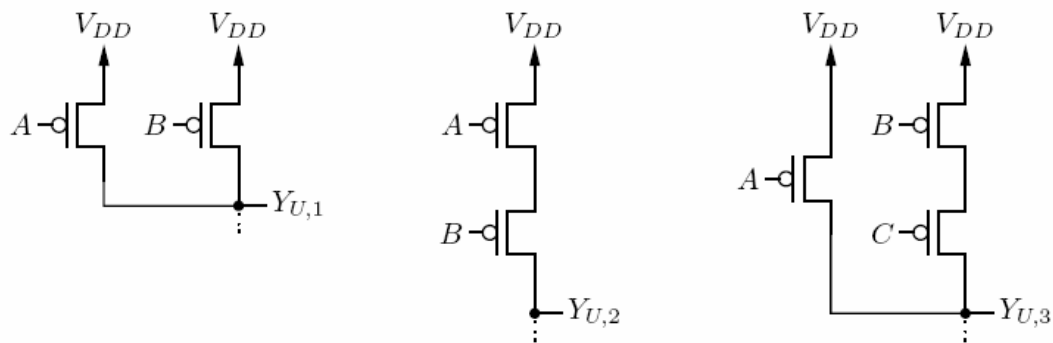


Abbildung 3.15: Pull-Up-Netzwerke (PUN)

$$Y_{U,1} = \overline{A} + \overline{B} \quad \Rightarrow \quad Y_{U,1} = \overline{A \cdot B} \quad \Rightarrow \quad \text{PUN NAND}$$

$$Y_{U,2} = \overline{A \cdot B} \quad \Rightarrow \quad Y_{U,2} = \overline{A + B} \quad \Rightarrow \quad \text{PUN NOR}$$

$$Y_{U,3} = \overline{A} + \overline{B} \cdot \overline{C}$$

### 3 Logische Funktionen mit MOSFETs

- Das Pull-Down-Netzwerk besteht ausschließlich aus NMOSTs.
- Das Pull-Up-Netzwerk besteht ausschließlich aus PMOSTs.
- Die Gates eines NMOST/PMOST-Paares sind miteinander verbunden.
- Serienschaltungen im PUN werden zu Parallelschaltungen im PDN, Parallelschaltungen im PUN werden zu Serienschaltungen im PDN (und umgekehrt).
- Wenn das PUN bekannt ist, ist auch das PDN bekannt (und umgekehrt).

### 3 Logische Funktionen mit MOSFETs

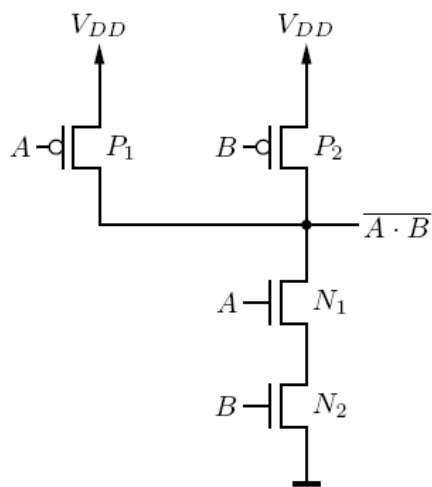


Abbildung 3.16: Zweifach-NAND

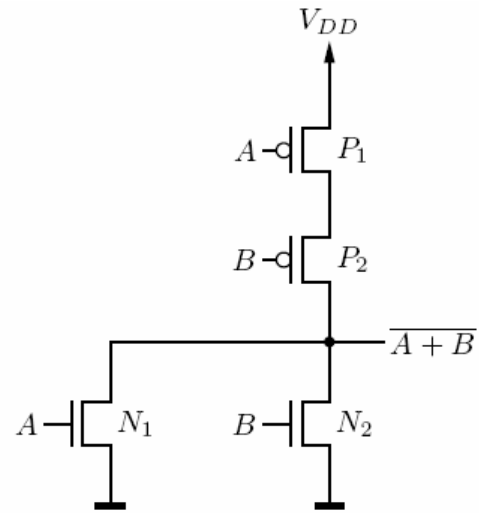


Abbildung 3.17: Zweifach-NOR

### 3 Logische Funktionen mit MOSFETs

$$y = \overline{(A+B) \cdot C}$$

$$y = \overline{(A \vee B) \wedge C}$$

A	B	C	y
0	0	0	1
0	1	0	1
1	0	0	1
1	1	0	1
0	0	1	0
0	1	1	0
1	0	1	0
1	1	1	0

Kombinations-Gatter

### 3 Logische Funktionen mit MOSFETs

XOR-Verknüpfung PUN:  $Y = A\bar{B} + \bar{A}B$   
 XOR-Verknüpfung PDN:  $\bar{Y} = AB + \bar{A}\bar{B}$

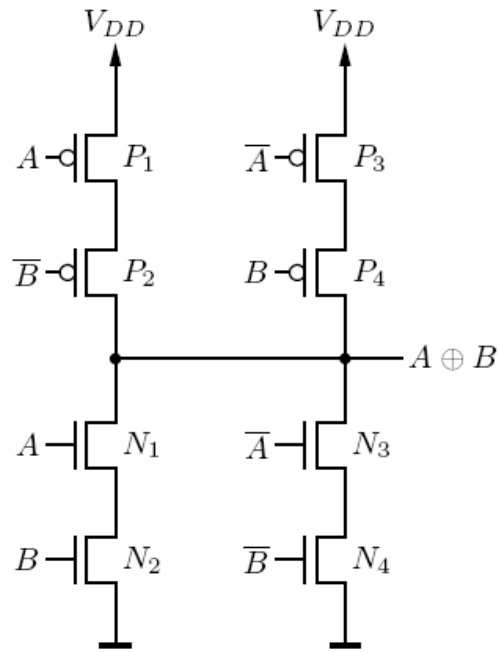


Abbildung 3.19: XOR

### 3 Logische Funktionen mit MOSFETs

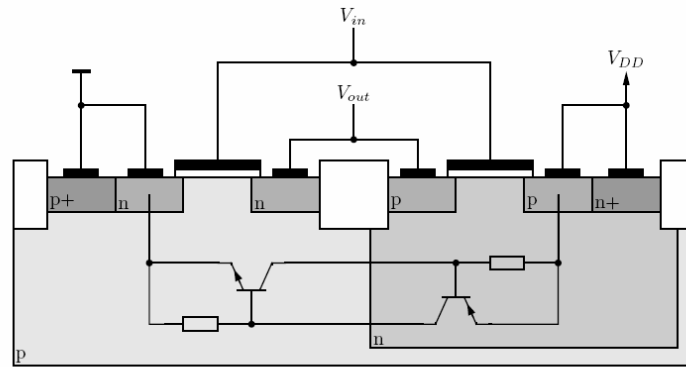


Abbildung 3.20: Struktur eines CMOS-Inverters mit parasitärem Thyristor

### Latchup-Ersatzschaltung

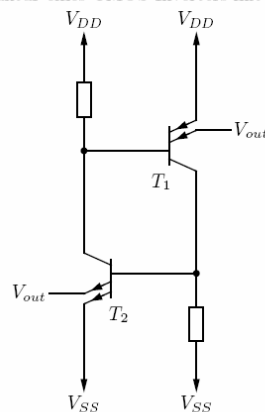


Abbildung 3.21: Ersatzschaltbild eines Thyristors

### 3 Logische Funktionen mit MOSFETs

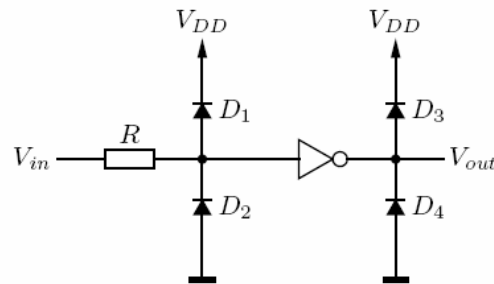
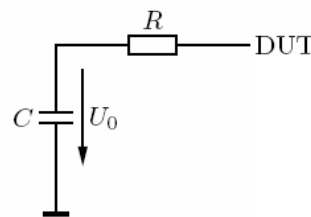


Abbildung 3.22: CMOS: Schutzstruktur ( $D_3, D_4$ ... Substratdioden)

Die elektrostatischen Entladungen, die durch die Berührung eines Menschen auftreten, werden mit dem Human Body Model nachgebildet. Der Widerstand  $R$  entspricht dabei dem Hautwiderstand und die Kapazität  $C$  entspricht der Körperkapazität.  $U_0$  ist die Ladespannung.

ESD-Schutzschaltungen



MIL-STD-883	
$R$	1500 $\Omega$
$C$	100 pF
$U_0$	2 kV, 4 kV, 8 kV

Werte für das Human Body Model nach MIL-STD-883

Abbildung 3.23: Modell für elektrostatische Entladungen (DUT... device under test)

### 3 Logische Funktionen mit MOSFETs

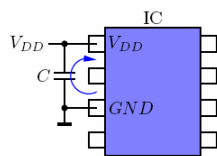
## Leistungsaufnahme von CMOS Schaltungen

#### DYNAMISCH:

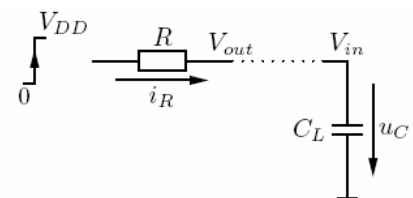
- Aufladung / Entladung von Last-Kapazitäten

$$P = Wf = C_L V_{DD}^2 f$$

- Querstrom bei Pegelwechsel (prop. Schaltfrequenz  $f$ )



Möglichst nahe am IC platzierter Stützkondensator mit blau eingezeichnetem, pulsformig entnommenem Strom



Aufladen einer Lastkapazität  $C_L$

#### STATISCH:

- Leckströme der Substratdioden
- Leckströme der Gates (nm-Technologien)
- Subthreshold Ströme (Deep Sub Micron-Technologien)
- ➔ Hochleistungsprozessoren: ca. 100W, davon 40% statische Leckströme!!

### 3 Logische Funktionen mit MOSFETs

$V_{A,B}$ :	von $V_{SS}$ bis $V_{SS} +  V_{th,P} $	von $V_{SS} +  V_{th,P} $ bis $V_{DD} - V_{th,N}$	von $V_{DD} - V_{th,N}$ bis $V_{DD}$
$r_{on,N}$ :	$r_{on,N}(V_{A,B})$	$r_{on,N}(V_{A,B})$	$\infty$
$r_{on,P}$ :	$\infty$	$r_{on,P}(V_{A,B})$	$r_{on,P}(V_{A,B})$
$r_{on}$ :	$r_{on,N}(V_{A,B})$	$r_{on,N}(V_{A,B}) \parallel r_{on,P}(V_{A,B})$	$r_{on,P}(V_{A,B})$

Tabelle 8.2: ON-Widerstand eines Transmissionsgatters

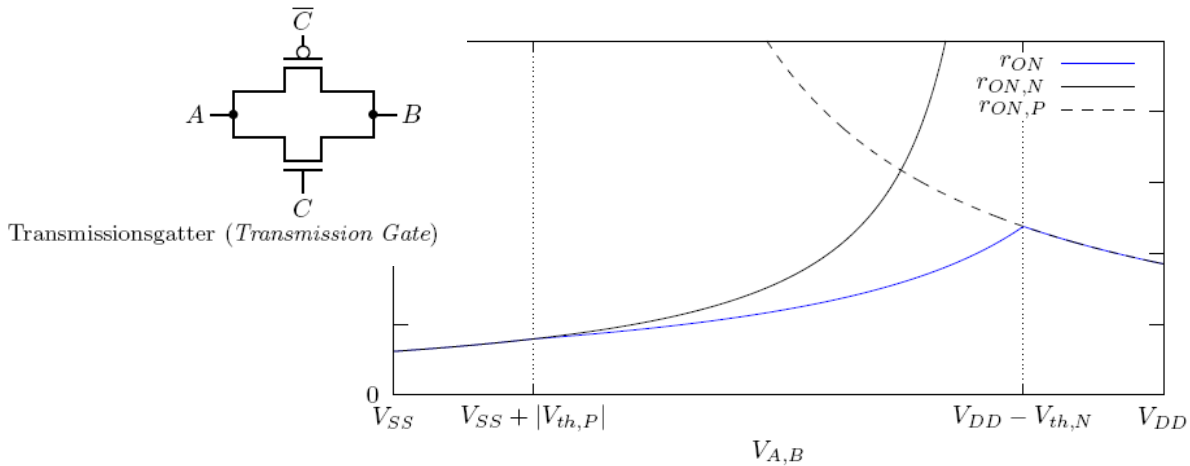
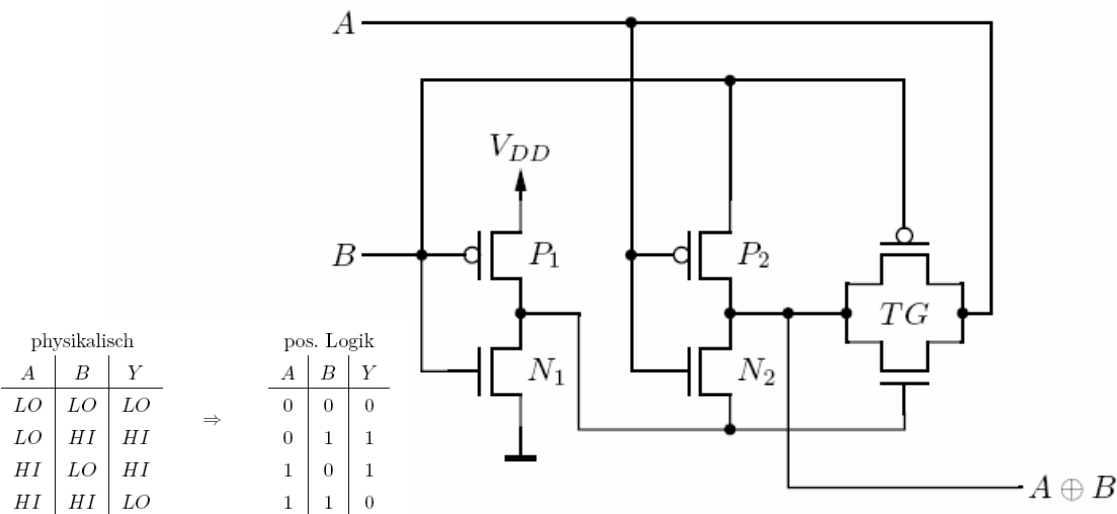


Abbildung 8.21: Spannungsabhängiger ON-Widerstand  $r_{on}(V_{A,B})$

### 3 Logische Funktionen mit MOSFETs

#### 3.2.6 Logikschaltungen mit Transmissionsgattern

Durch den Einsatz von Transmissionsgattern lassen sich verschiedene logische Verknüpfungen mit einer geringeren Anzahl von Transistoren implementieren. Dies soll hier am Beispiel einer XOR-Verknüpfung gezeigt werden.

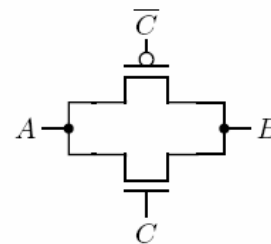


XOR

Abbildung 3.26: XOR mit Transmissionsgatter

## Weitere Beispiele für TG-Einsatzgebiete

- Analog-Signal Multiplexer
- Adressdekoder
- Digitale Multiplexer
  
- Dynamische Schaltungen (Speichernde Elemente)
- Sample & Hold Schaltungen für Analogsignale



## Zusammenfassung

### Logische Funktionen mit MOS-Transistoren: CMOS

Dieses Kapitel beschreibt die wichtigsten Eigenschaften des Aufbaus logischer Funktionen in CMOS-Technik. Einführend wurde dabei auf das Verhalten von MOS-Transistoren als Schalter für zweiwertige Signale eingegangen, der NMOST als Low Side Switch und der PMOST als High Side Switch. Mit nur zwei MOSTs stellt der Inverter das einfachste Gatter dar. Dessen digitale Eigenschaften (statisch und dynamisch) wurden näher erläutert sowie auch die Eigenschaften im Betrieb als analoger Verstärker. Nach den Erklärungen der wichtigen logischen Funktionen NAND und NOR wurde die Möglichkeit des Aufbaus allgemeiner Logikfunktionen mit Pull-Up- und Pull-Down-Netzwerken gezeigt.

Zusätzlich zur Schaltungstechnik sind aber auch die physikalischen Eigenschaften von Interesse. Auf die elektrische Leistungsaufnahme aufgrund von Umladevorgängen, Querströmen und Leckströmen wurde eingegangen und gezeigt, dass diese im Wesentlichen von der Komplexität der Schaltung, der Betriebsfrequenz und der Versorgungsspannung abhängt. Aufgrund des internen physikalischen Aufbaus von CMOS-Schaltungen ergeben sich verschiedene Probleme wie der Latch-Up-Effekt und die Empfindlichkeit von Eingängen auf elektrostatische Entladungen.

Abschließend wurde das Transmissionsgatter vorgestellt. Dieses implementiert einen analogen Schalter für den gesamten Versorgungsspannungsbereich, kann aber auch für einen effizienten Aufbau von digitalen Schaltungen verwendet werden.

10.1 Logik mit Dioden und Bipolartransistoren ..... 354  
 10.2 Transistor Transistor Logic (TTL) ..... 357  
 10.3 Andere Logikfamilien mit bipolaren Elementen. . . . . 360  
 Zusammenfassung ..... 360

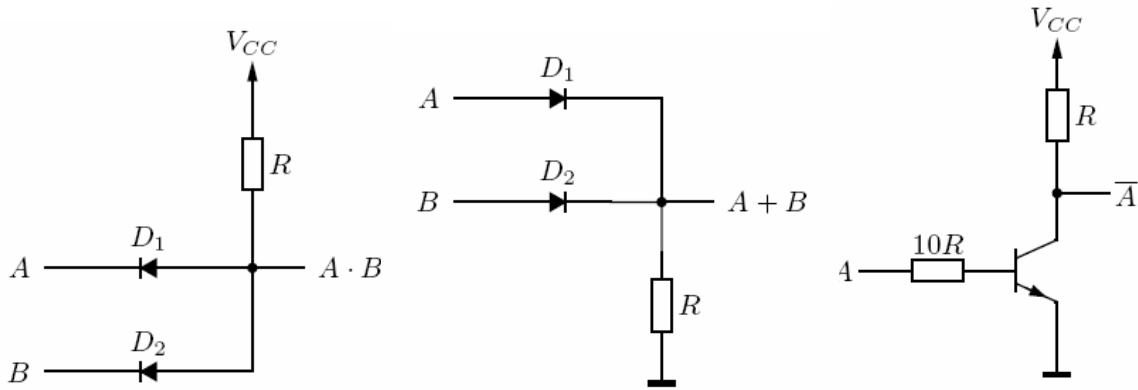


Abbildung 4.1: AND mit Dioden    Abbildung 4.2: OR mit Dioden    4.3: Inverter mit Bipolartransistor

4.2 Transistor Transistor Logic (TTL)

- TTL... Transistor Transistor Logic.
- Aus historischen Gründen noch immer interessant.
- Eingang *LO*: Strom aus Emitter (current sink logic).
- Logische Arbeit von  $T_1$ , AND (vergleiche Abbildung 4.1).
- Invertierender Ausgangstreiber mit npn-Transistoren (totem pole).
- Eingang:  $V_{LO} < 0.8 \text{ V}$ ,  $V_{HI} > 2.0 \text{ V}$ .
- Ausgang:  $V_{LO} < 0.4 \text{ V}$ ,  $V_{HI} > 2.4 \text{ V}$ .
- Weiterentwicklungen: Schottky-TTL (S), Low Power Schottky (LS), Advanced LP (ALS), ...

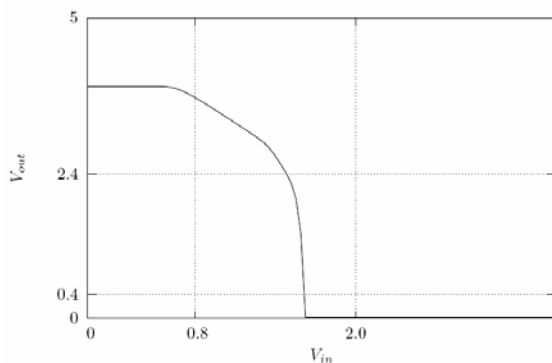


Abbildung 4.5: Übertragungskennlinie eines TTL-Inverters

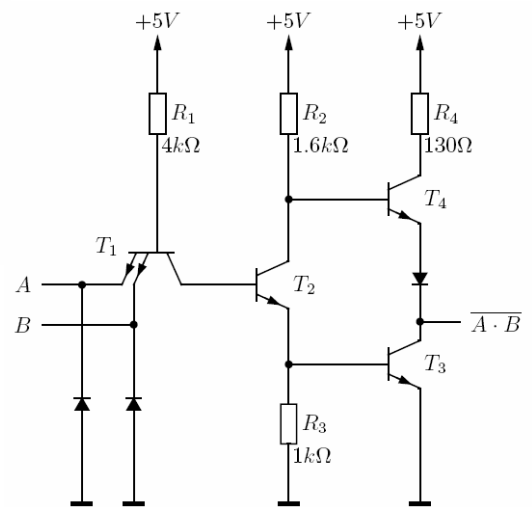


Abbildung 4.4: TTL NAND (Typ 7400)



## 4 Logische Funktionen mit bipolaren Elementen

### 4.3 Emittor Coupled Logic (ECL)

- ECL... Emittor Coupled Logic.
- Logische Arbeit: Differenzverstärker.
- Negative Versorgungsspannung.
- Große, aber annähernd konstante Stromaufnahme.
- Sehr schnell (Transistoren gehen nie in Sättigung).
- Weiterentwicklungen: Positive ECL (PECL), Low Voltage PECL (LVPECL).

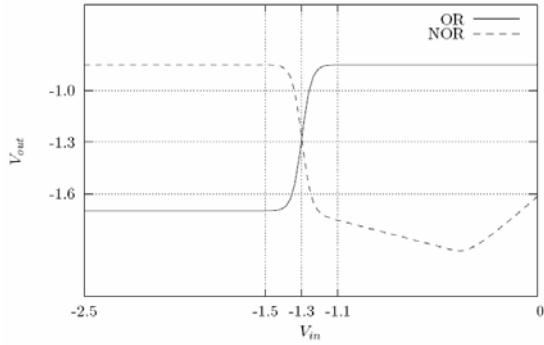


Abbildung 4.7: Übertragungskennlinie eines ECL-OR/NOR-Gatters

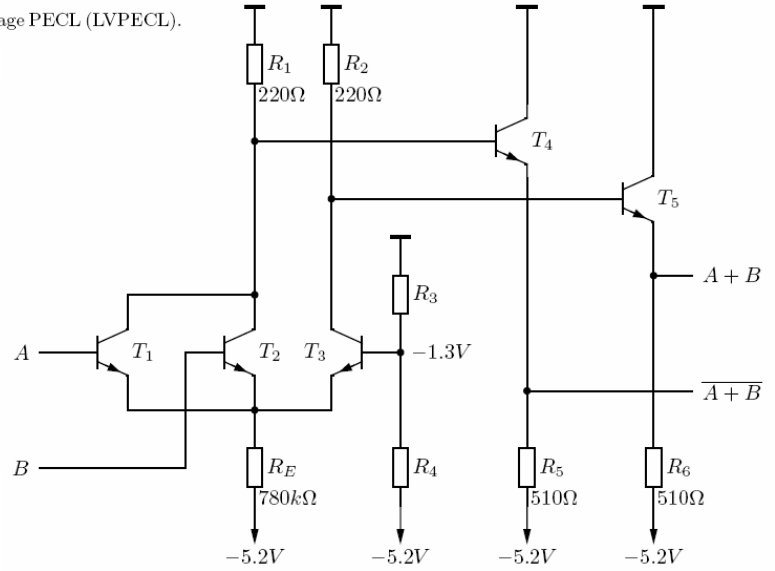


Abbildung 4.6: ECL NOR (Typ 10102)