

5 Kippstufen

439.002

Elektronische Schaltungstechnik 2, VO

- **Kapitel 11 Kippstufen** 361
- 11.1 Bistabile Kippstufen 363
- 11.1.1 Flip-Flops 363
- 11.1.2 Schmitt-Trigger 373
- 11.2 Monostabile Kippstufen 378
- 11.2.1 Monoflops mit sehr kurzer Eigenzeit 379
- 11.2.2 Monoflops mit langer Eigenzeit 381
- 11.3 Astabile Kippstufen 382
- 11.3.1 Ringoszillator 383
- 11.3.2 Relaxationsoszillator 384
- Zusammenfassung 386

5 Kippstufen

Lernziele

Aufbau und Funktionsweise der verschiedenen Kippstufen:

- Bistabile Kippstufen: Flip-Flops und Schmitt-Trigger
- Monostabile Kippstufen
- Astabile Kippstufen: Oszillatoren mit zweiwertigem Ausgangssignal

Flip-Flops

Das Grundelement eines jeden Flip-Flops ist die binäre Speicherzelle, welche mit dem Aufbau einer logischen Identität mithilfe von zwei Invertern implementiert werden kann:

$$Q = \overline{\overline{Q}} \quad (10.1)$$

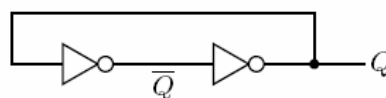


Abbildung 10.1: Logische Identität als binäre Speicherzelle

5 Kippstufen

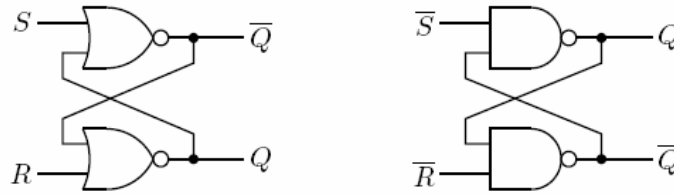


Abbildung 10.2: RS-Flip-Flop mit NOR- (links) bzw. NAND-Gattern (rechts)

R (reset)	S (set)	Q	\bar{Q}	
0	0	Q	\bar{Q}	
0	1	1	0	
1	0	0	1	
1	1	X	X	verbotener Zustand

Tabelle 10.1: Wahrheitstafel des Reset-Set-Flip-Flops

5 Kippstufen

Ist das Verhalten beim gleichzeitigen Setzen und Löschen definiert, spricht man, je nachdem ob der Ausgang gesetzt oder gelöscht wird, von einem set-dominanten ($R = S = 1 \Rightarrow Q = 1$) bzw. reset-dominanten ($R = S = 1 \Rightarrow Q = 0$) RS-Flip-Flop. In Abbildung 10.3 ist ein reset-dominantes RS-FF auf Transistorebene dargestellt. Verglichen mit den NAND- bzw. NOR-RS-FFs werden hier anstelle der für die beiden Zweifachgatter benötigten acht MOSTs nur sechs benötigt.

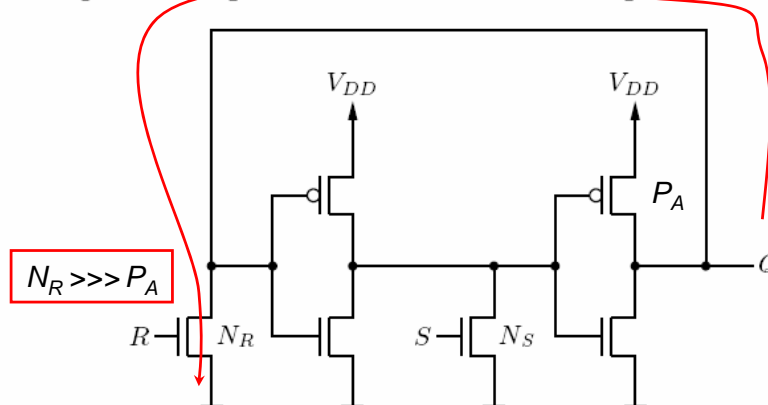


Abbildung 10.3: RS-Flip-Flop (reset-dominant)

5 Kippstufen

Bis jetzt ist das Zeitverhalten nur auf die beiden Signale für Setzen und Löschen beschränkt. Falls man einen zusätzlichen Steuereingang verwendet, welcher ein Setzen bzw. Löschen nur dann zulässt, wenn der Steuereingang C (bzw. Takteingang) auch aktiv ist, führt dies zu einem durch den Taktzustand gesteuerten RS-Flip-Flop. Dies kann durch Hinzufügen einer zusätzlichen AND-Ebene erreicht werden:

$$S' = S \cdot C \quad R' = R \cdot C. \quad (10.8)$$

Das mit NANDs aufgebaute RS-Flip-Flop benötigt aber invertierte Setz- und Lösch-Signale. Damit wird die AND-Ebene zu einer NAND-Ebene und es ergibt sich das in Abbildung 10.4 gezeigte durch den Taktzustand gesteuerte RS-Flip-Flop.

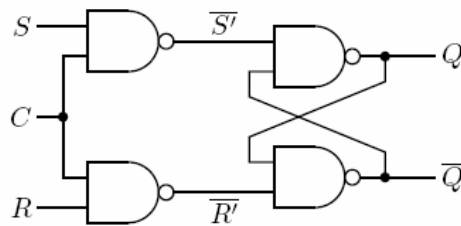


Abbildung 10.4: Durch den Taktzustand gesteuertes RS-Flip-Flop mit NAND-Gattern

5 Kippstufen

Die Wahrheitstafel eines durch den Taktzustand gesteuerten D-Flip-Flops, welches auch als D-Latch bezeichnet wird, wird in Tabelle 10.2 gezeigt.

C	D	Q
0	0	Q
0	1	Q
1	0	0
1	1	1

Tabelle 10.2: Wahrheitstafel des durch den Taktzustand gesteuerten D-Flip-Flops

Das D-Latch übernimmt den am Dateneingang D ($D \dots Data$) anliegenden Zustand, solange der Steuereingang C aktiv ist ($C = 1 \Rightarrow Q = D$). Sobald der Steuereingang zu 0 wird, wird der Ausgangszustand gespeichert, das Datensignal D hat keinen Einfluss mehr auf den gespeicherten Wert Q ($C = 0 \Rightarrow Q = Q$). Ein solches D-Latch

5 Kippstufen

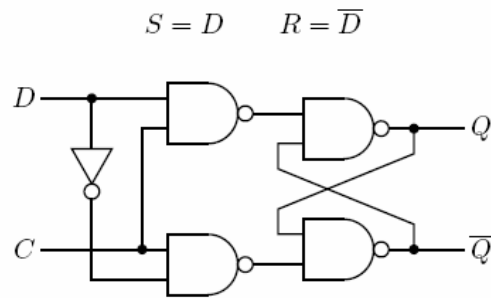


Abbildung 10.5: D-Latch aus Gattern

Ein so aufgebautes D-Latch besteht aus vier Zweifach-NANDs und einem Inverter, in CMOS-Logik würden $4 \cdot 4 + 2 = 18$ MOSTs benötigt werden.

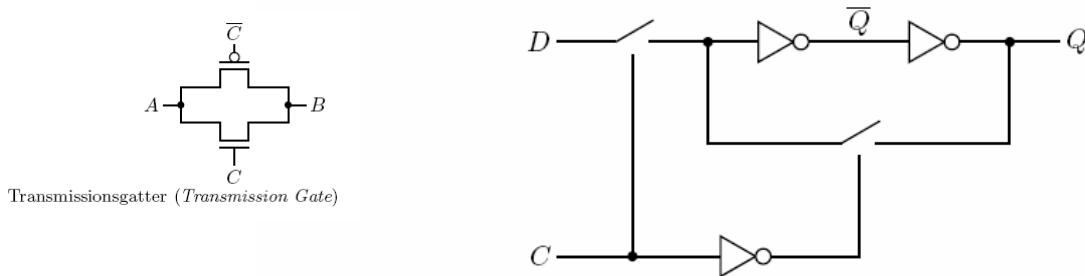


Abbildung 10.6: D-Latch (durch den Taktzustand gesteuertes D-Flip-Flop)
D-Latch mit Transmission-Gattern: 10 Transistoren

5 Kippstufen

Master-Slave-D-Flip-Flop

Das Prinzip des Master-Slave-Flip-Flops bildet die Grundlage für den Aufbau von durch die Taktflanken gesteuerten Flip-Flops. Dabei wird mithilfe von zwei hintereinandergeschalteten, durch den Taktzustand gesteuerte Flip-Flops, welche mit komplementären Taktsignalen angesteuert werden, nach außen hin ein durch Taktflanken gesteuertes Flip-Flop implementiert. Die Abbildung 10.7 zeigt ein solches Master-Slave-D-Flip-Flop, welches aus zwei D-Latches, dem blau gezeichneten Master und dem Slave besteht.

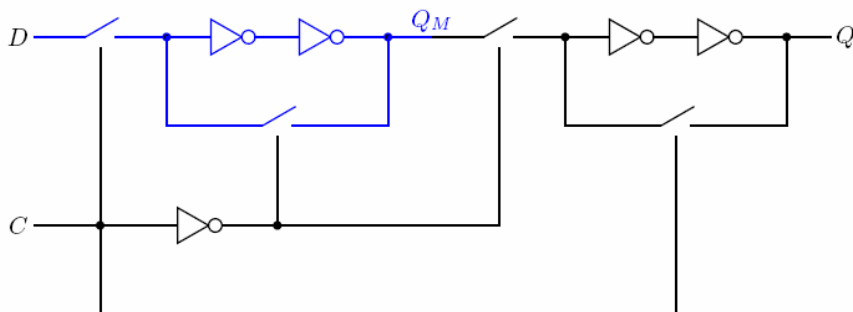


Abbildung 10.7: Master-Slave-D-Flip-Flop (durch Taktflanken gesteuertes D-FF)

5 Kippstufen

Um die Funktionsweise zu erläutern, wollen wir die vier Phasen des Taktsignales C näher betrachten.

Master-Slave-D-Flip-Flop

1. $C = LO$

Das Master-FF behält seinen Zustand, das Slave-FF bleibt transparent und gibt Q_M am Ausgang Q aus. Ein veränderliches Eingangssignal D hat keine Auswirkung auf den Q .

$$\text{Master: } Q_M = Q_M \quad \text{Slave: } Q = Q_M$$

2. $C = LO \rightarrow HI$

Mit der positiven Flanke am Takteingang C wird nun das Slave-FF vom Master-FF getrennt, das schon vorher konstant anliegende Signal Q_M bleibt nun im Slave-FF gespeichert. Das Master-FF wird nun transparent.

3. $C = HI$

Das Master-FF ist transparent, sein Ausgang folgt dem Dateneingang D . Das Slave-FF behält jedoch noch immer den zuvor gespeicherten Wert, Änderungen im Eingangssignal D verursachen auch Änderungen des Zustands des Master-FFs, der Inhalt des Slave-FFs bleibt jedoch konstant.

$$\text{Master: } Q_M = D \quad \text{Slave: } Q = Q$$

4. $C = HI \rightarrow LO$

Das Master-FF, welches in der Taktphase $C = HI$ dem Dateneingang gefolgt ist, speichert nun den zu diesem Zeitpunkt anliegenden Eingangswert und das Slave-FF wird transparent.

$$\text{Master: } Q_M = D \quad \text{Slave: } Q = Q_M = D$$

Wenn wir nun diese vier Taktphasen im Gesamten betrachten, sehen wir, dass das Master-Slave-Flip-Flop die Zustandsänderung während der negativen Flanke ($C = HI \rightarrow LO$) durchführt und, wie schon zuvor erwähnt wurde, sich nach außen wie ein durch die Taktflanken gesteuertes Flip-Flop verhält.

EST 2 / SS 2011 IFE W

5 Kippstufen

- Flip-Flop kann transparent werden.

Abhilfe: Unterschiedliche Schaltschwellen für die von C bzw. \overline{C} betätigten Schalter ($V_{th,C} > V_{th,\overline{C}}$) oder nichtüberlappende Steuersignale C und \overline{C} .

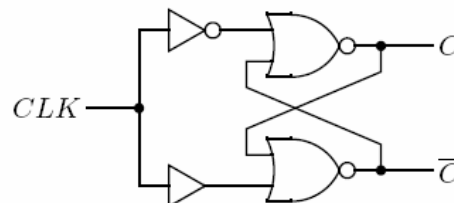
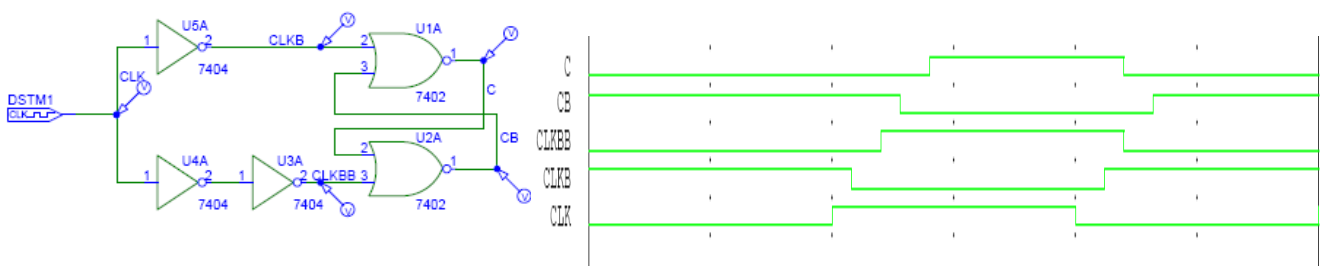


Abbildung 5.6: Nichtüberlappende Steuersignale (Wechsel $HI \rightarrow LO$ vor Wechsel $LO \rightarrow HI$ des komplementären Signals)



5 Kippstufen

Definition: Setup-Time, Hold-Time

Als Setup-Time T_{su} wird die Zeit bezeichnet, die Eingangssignale schon vor der entsprechenden Taktflanke, als Hold-Time T_h die Zeit, die Eingangssignale noch nach der entsprechenden Taktflanke stabil anliegen müssen, um eine korrekte Zustandsänderung zu garantieren.

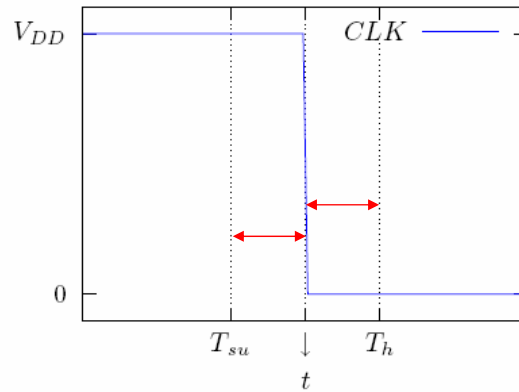
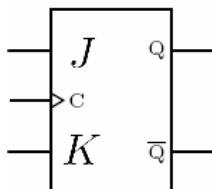


Abbildung 10.8: Setup- und Hold-Time

Nur wenn diese beiden Zeitbedingungen eingehalten werden, haben z. B. im Fall des Master-Slave-FFs beide Flip-Flops ausreichend Zeit, um die Zustandsänderungen durchzuführen. Werden diese Bedingungen verletzt, ist ein undefiniertes Verhalten des Flip-Flops zu erwarten.

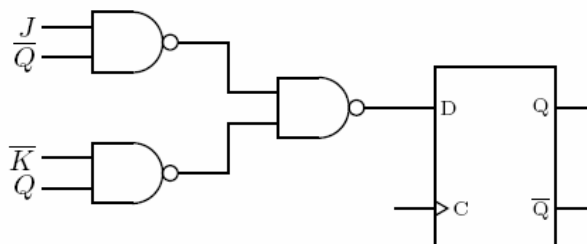
5 Kippstufen



J	K	Q_{n+1}	J	K	Q_n	D_n
0	0	Q_n	0	0	0	0
0	0	Q_n	0	0	1	1
0	1	0	0	1	0	0
0	1	0	0	1	1	0
1	0	1	1	0	0	1
1	0	1	1	0	1	1
1	1	$\overline{Q_n}$	1	1	0	1
1	1	$\overline{Q_n}$	1	1	1	0

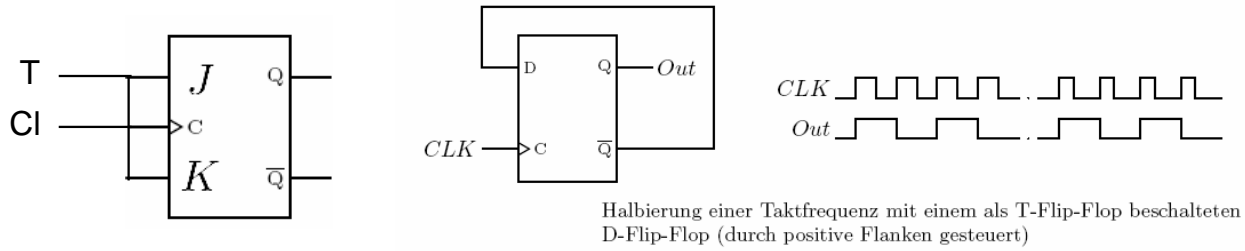
Wahrheitstafel für die Berechnung von D , um ein JK-FF zu erhalten

$$\begin{aligned}
 D_n &= \overline{J} \overline{K} Q_n + \overline{J} K \overline{Q_n} + J \overline{K} Q_n + J K \overline{Q_n} = \\
 &= J (\overline{K} + K) \overline{Q_n} + (\overline{J} + J) \overline{K} Q_n = J \overline{Q_n} + \overline{K} Q_n
 \end{aligned}$$



$$\text{JK-Flip-Flop } (J \overline{Q_n} + \overline{K} Q_n = \overline{\overline{J \overline{Q_n} + \overline{K} Q_n}} = \overline{\overline{J \overline{Q_n}} \cdot \overline{\overline{K} Q_n}}$$

5 Kippstufen



Toggle-Flip-Flop (T-FF)

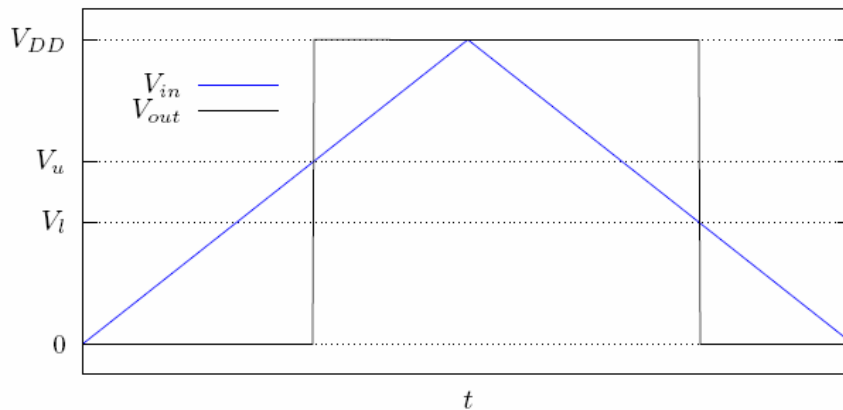
Das Toggle-FF entspricht einem JK-FF mit $J = K = T$. Für $T = 1$ kann auch ein rückgekoppeltes D-FF mit $D = \overline{Q}$ verwendet werden.

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Tabelle 5.6: Wahrheitstafel des T-FFs

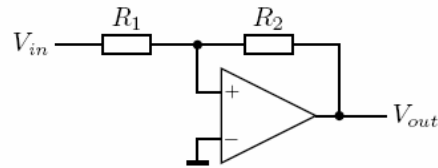
5 Kippstufen

Schmitt-Trigger Schaltungen



Komparator mit Hysterese: Schmitt-Trigger, Hysterese = $V_u - V_l$

5 Kippstufen



Nicht invertierender Schmitt-Trigger

werden, um einen Pegelwechsel zu verursachen bzw. bei einer Ausgangsspannung von V_{HI} muss die geteilte Eingangsspannung das Massepotenzial unterschreiten. Die obere bzw. untere Schwellspannung kann somit berechnet und angegeben werden:

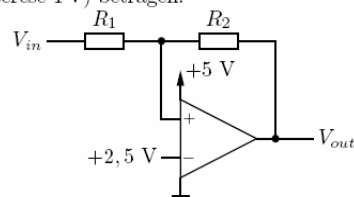
$$(V_u - V_{LO}) \frac{R_2}{R_1 + R_2} + V_{LO} > 0 \quad \Rightarrow \quad V_u = -\frac{R_1}{R_2} V_{LO} \quad (10.12)$$

$$(V_i - V_{HI}) \frac{R_2}{R_1 + R_2} + V_{HI} < 0 \quad \Rightarrow \quad V_i = -\frac{R_1}{R_2} V_{HI}. \quad (10.13)$$

5 Kippstufen

Nicht invertierender Schmitt-Trigger

Es soll ein nicht invertierender Schmitt-Trigger aufgebaut werden, der mit 0 V und 5 V Versorgungsspannung arbeitet und dessen Schwellspannungen $V_i = 2$ V und $V_u = 3$ V (Hysterese 1 V) betragen.



Nachdem nun der Mittelwert der Schwellspannung nicht mit dem Massepotenzial vorgegeben ist, sondern $\frac{1}{2}(V_i + V_u) = 2,5$ V beträgt, müssen die Ausgangspegel des Komparators (V_{HI} , V_{LO}) und die gewünschten Schwellspannungen um diesen Wert verschoben werden:

$$\begin{aligned} V_{HI} &= 5 - 2,5 = 2,5 \text{ V}, & V_{LO} &= 0 - 2,5 = -2,5 \text{ V} \\ V_u &= 3 - 2,5 = 0,5 \text{ V}, & V_i &= 2 - 2,5 = -0,5 \text{ V}. \end{aligned}$$

Nun können wir die Dimensionierungsformel 10.12 (oder 10.13) anwenden und es ergibt sich:

$$\frac{R_1}{R_2} = -\frac{V_u}{V_{LO}} = -\frac{0,5 \text{ V}}{-2,5 \text{ V}} = \frac{1}{5}.$$

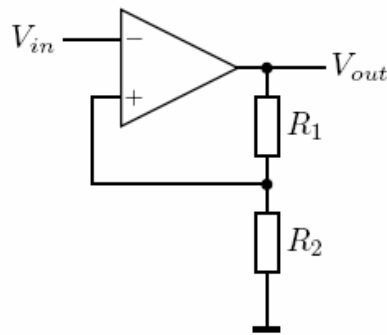
Damit können konkrete Widerstandswerte angegeben werden, mit denen auch noch die Probe für die Richtigkeit des Ergebnisses durch Einsetzen in die Gleichungen 10.12 und 10.13 durchgeführt wird:

$$R_1 = 10 \text{ k}\Omega, \quad R_2 = 50 \text{ k}\Omega$$

$$V_u = -\frac{10 \text{ k}\Omega}{50 \text{ k}\Omega}(-2,5 \text{ V}) = 0,5 \text{ V} \text{ entspricht } 3 \text{ V}$$

$$V_i = -\frac{10 \text{ k}\Omega}{50 \text{ k}\Omega} \cdot 2,5 \text{ V} = -0,5 \text{ V} \text{ entspricht } 2 \text{ V}.$$

5 Kippstufen



Invertierender Schmitt-Trigger

Beim invertierenden Schmitt-Trigger wird die Vergleichsspannung nur aus der Ausgangsspannung V_{out} des Komparators mit einem Spannungsteiler erzeugt, für die Schaltschwellen des Schmitt-Triggers ergeben sich folgende Zusammenhänge:

$$V_{in} > V_u \Rightarrow V_{in} > \frac{R_2}{R_1+R_2} V_{HI} \quad (10.14)$$

$$V_{in} < V_l \Rightarrow V_{in} < \frac{R_2}{R_1+R_2} V_{LO}. \quad (10.15)$$

5 Kippstufen

Schmitt-Trigger in CMOS

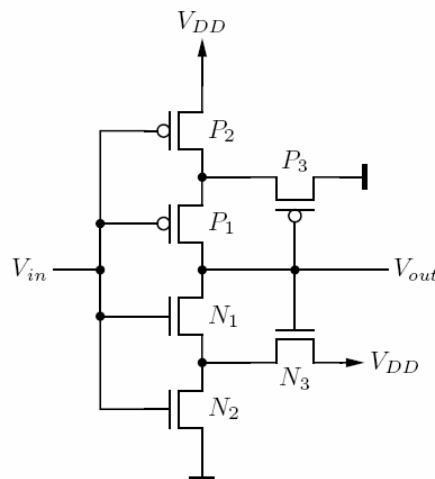


Abbildung 5.10: Einfacher invertierender Schmitt-Trigger

- Entspricht CMOS-Inverter mit veränderlicher Schwellspannung V_{th} .
- Je nach Ausgangswert wird die Schaltschwelle verändert.
- $V_{in} = LO \uparrow, V_{out} = HI$: N_3 leitet, $V_{S,N_1} \uparrow, V_{th} \uparrow \Rightarrow V_{th} > \frac{V_{DD}}{2}$.
- $V_{in} = HI \downarrow, V_{out} = LO$: P_3 leitet, $V_{S,P_1} \downarrow, V_{th} \downarrow \Rightarrow V_{th} < \frac{V_{DD}}{2}$.
- Hysterese ist von der Dimensionierung der Transistoren abhängig.

5 Kippstufen

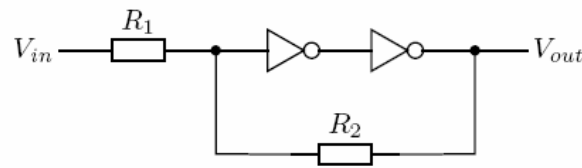


Abbildung 5.11: Einfacher nicht-invertierender Schmitt-Trigger

- Inverter: $V_{th} = \frac{V_{DD}}{2} = \frac{HI}{2}$.
- Zwei hintereinander geschaltete Inverter: Nicht-invertierender Verstärker mit großer Verstärkung ($A_1 \cdot A_2$) um die Schwellspannung V_{th} der Inverter: $V_{out} = V_{th} + A_1 A_2 (V_{in} - V_{th})$.
- $V_{in} = LO \uparrow$, $V_{out} = LO$: $V_{inv,1} = V_{in} \frac{R_2}{R_1 + R_2} = V_{th} \Rightarrow V_u = \left(1 + \frac{R_1}{R_2}\right) V_{th}$.
- $V_{in} = HI \downarrow$, $V_{out} = HI$: $V_{inv,1} = V_{DD} - (V_{DD} - V_{in}) \frac{R_2}{R_1 + R_2} = V_{th} \Rightarrow V_l = \left(1 - \frac{R_1}{R_2}\right) V_{th}$.
- Hysterese: $V_u - V_l = 2 \frac{R_1}{R_2} V_{th} = \frac{R_1}{R_2} V_{DD}$.

5 Kippstufen

Präzisions-Schmitt-Trigger

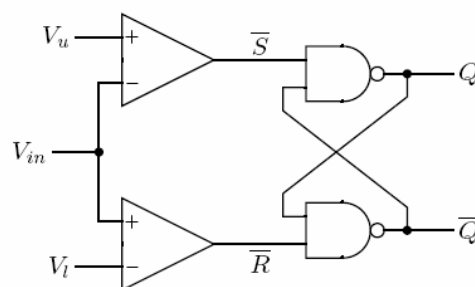


Abbildung 5.12: Präzisions-Schmitt-Trigger

- Einstellbare Schwellspannungen V_u und V_l .
- $V_{in} > V_u \Rightarrow \bar{S} = 0 \Rightarrow Q = 1$.
- $V_{in} < V_l \Rightarrow \bar{R} = 0 \Rightarrow Q = 0$.
- $V_l < V_{in} < V_u \Rightarrow Q = Q$.
- RS-FF reagiert auf die negative Flanke der Komparatorausgänge. Der Zeitfehler bei der positiven Flanke spielt somit keine Rolle (Komparatoren mit Open-Collector- oder Open-Drain-Ausgängen können verwendet werden.).

5 Kippstufen

5.2 Monostabile Kippstufen

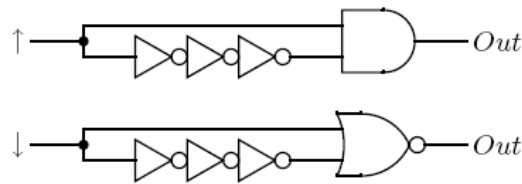
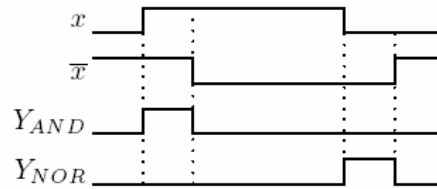


Abbildung 5.13: Erzeugung kurzer Pulse über Verzögerung zwischen dem Signal und seinem Komplement

Unterschiedliche Pulse bei NAND/NOR/AND/OR/EXOR ...
 Laufzeit der Gatterketten wichtig



Signale bei der Verknüpfung eines Signals x mit dessen verzögertem Komplement \bar{x}

5 Kippstufen

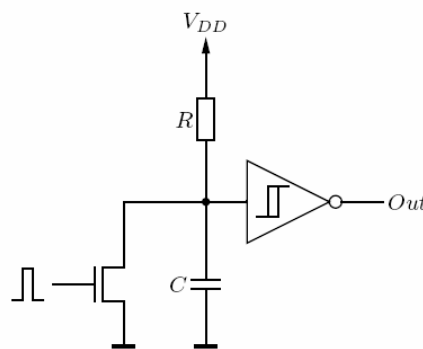


Abbildung 5.14: Monoflop mit einem Schmitt-Trigger

- HI-Puls am Eingang entlädt den Kondensator C , $Out = HI$.
- Sobald wieder LO am Eingang anliegt: Kondensator C wird über den Widerstand R auf V_{DD} aufgeladen.

$$u_C(t) = V_{DD} \left(1 - e^{-\frac{t}{RC}} \right) \quad (5.2)$$

3 Logische Funktionen mit MOSFETs

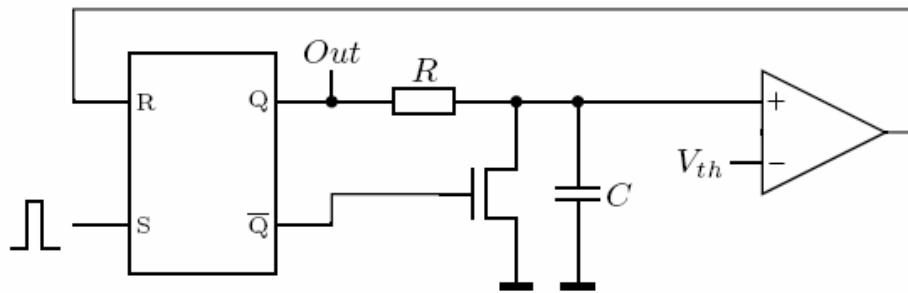


Abbildung 5.15: Monoflop aus RS-FF und Komparator

- Ein RC-Glied wird solange aufgeladen, bis die Schwellspannung V_{th} am Komparator erreicht wird.