

8.2 Addition dual gewichteter Größen

8.2.1 Spannungssummierung

- Spannungsteiler für dual gewichtete Summation von Spannungssignalen.
- $D_2, D_1, D_0 \dots HI = V_{Ref}, LO = GND$.
- $n \dots$ auszugebender Wert ($0 \leq n \leq 7$).

Abbildung 8.9: Gewichtete Spannungssummierung

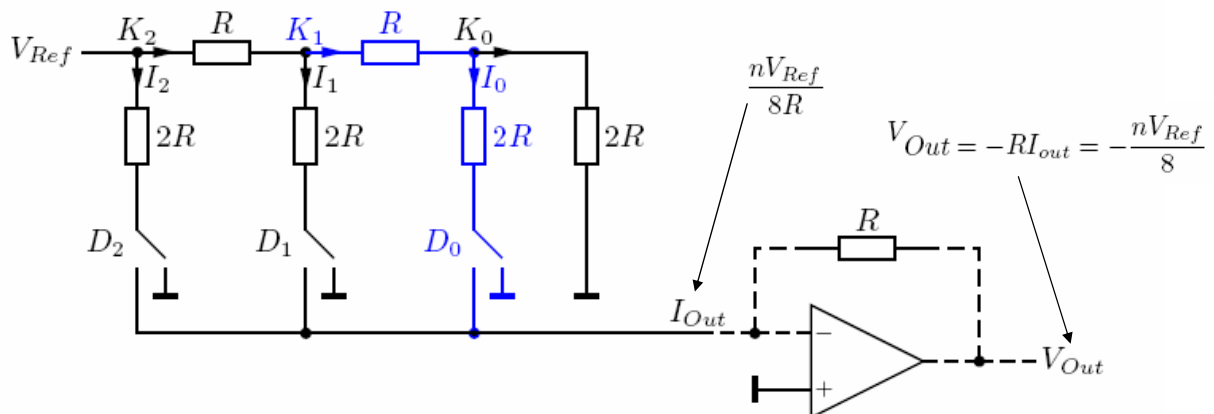
- Auswirkung von D_2, D_1 und D_0 auf den Ausgang Out :

$$D_2 \frac{2R \parallel 4R \parallel 4R}{2R \parallel 4R \parallel 4R + R} = \frac{D_2}{2} \quad (8.1)$$

$$D_1 \frac{R \parallel 4R \parallel 4R}{R \parallel 4R \parallel 4R + 2R} = D_1 \frac{\frac{2}{3}R}{\frac{2}{3}R + 2R} = \frac{D_1}{4} \quad (8.2)$$

$$D_0 \frac{R \parallel 2R \parallel 4R}{R \parallel 2R \parallel 4R + 4R} = D_0 \frac{\frac{4}{7}R}{\frac{4}{7}R + 4R} = \frac{D_0}{8} \quad (8.3)$$

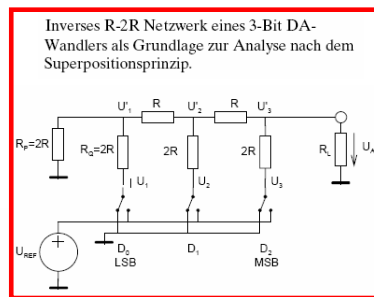
$$Out = \frac{D_2}{2} + \frac{D_1}{4} + \frac{D_0}{8} = \frac{1}{8}(4D_2 + 2D_1 + D_0) = \frac{nV_{Ref}}{8} \quad (8.4)$$



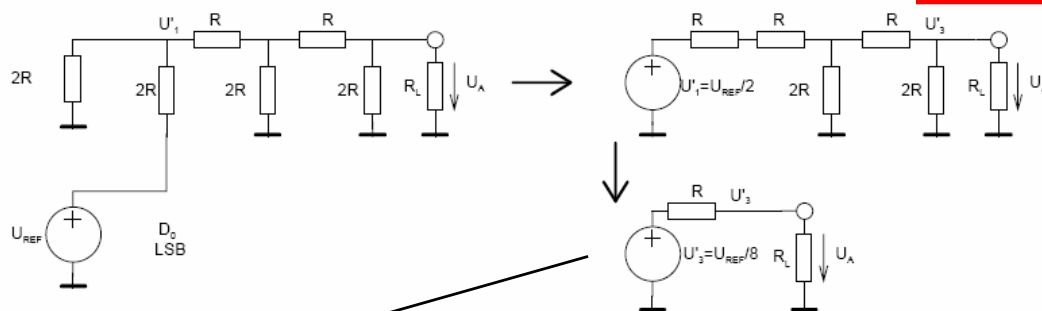
Leiternetzwerk als Stromteiler mit nachgeschaltetem Strom/Spannungs-Umsetzer

Jede Stufe des R-2R-Leiternetzwerkes besteht aus zwei Widerständen mit den Werten R und $2R$ sowie einem Umschalter. Dieser schaltet den Strom durch den $2R$ -Widerstand auf Masse oder auf den virtuellen Nullpunkt des Strom-/Spannungsumsetzers (make before break). Damit bleibt das Potenzial am Schalter konstant (Masse), weshalb die Berechnung des Netzwerkes unabhängig von der Schalterstellung durchgeführt werden kann.

(Wiederholung)



Der von D_0 eingespeiste Anteil wird:



$$U_{A1} = \frac{U_{REF}}{8} \frac{R_L}{R + R_L}$$

Analog werden die Anteile für D_1 und D_2 :

$$U_{A2} = \frac{U_{REF}}{4} \frac{R_L}{R + R_L} \quad U_{A3} = \frac{U_{REF}}{2} \frac{R_L}{R + R_L}$$

Die Ausgangsspannung wird die Summe aller Spannungsteile.

$$U_A = U_{A1} + U_{A2} + U_{A3} = U_{REF} \frac{R_L}{R + R_L} \left(\frac{D_0}{8} + \frac{D_1}{4} + \frac{D_2}{2} \right)$$

(Wiederholung)

8.3 Tastverhältnisumsetzung

Ein 1-Bit DAC (siehe Abbildung 8.1) kann im Zeitbereich durch Pulsweitenmodulation (PWM) zur Analogausgabe mit höherer Auflösung verwendet werden.

8.3.1 Digitale Pulsweitenmodulation

- T ... Periodendauer eines Zählertakts
- N ... Auflösung der PWM
- n ... Auszugebender Wert

- Gleichanteil (Mittelwert) entspricht dem Ausgangswert (*d...* Tastverhältnis):

$$Out = V_{Ref} \frac{nT}{NT} = V_{Ref} \frac{n}{N} = dV_{Ref} \quad (8.21)$$

- Wechselanteil mit einem Tiefpassfilter (Glättungsfilter) beseitigen.
- PWM-Frequenz sinkt mit der Auflösung ($f_{PWM} = \frac{1}{NT}$).
- Grenzfrequenz des Tiefpassfilters wird sehr niedrig \Rightarrow große Gruppenlaufzeit, lange Einstellzeit.
- Die Einstellzeit ist mit der Sprungantwort zu berechnen.
- Einfache Implementierung (Zähler mit Vergleich).
- Sehr linear (gute Schalter \rightarrow 20 Bit).

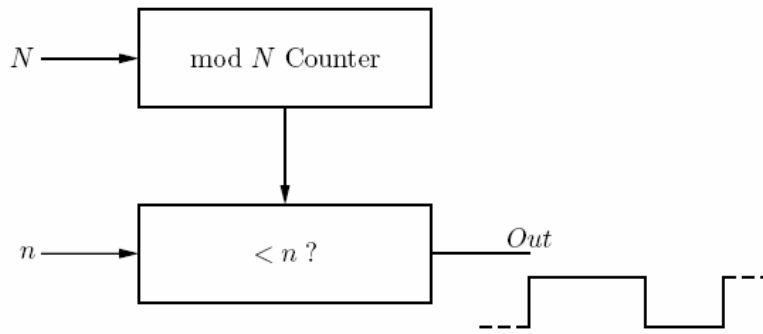


Abbildung 8.13: Einfache PWM-Einheit

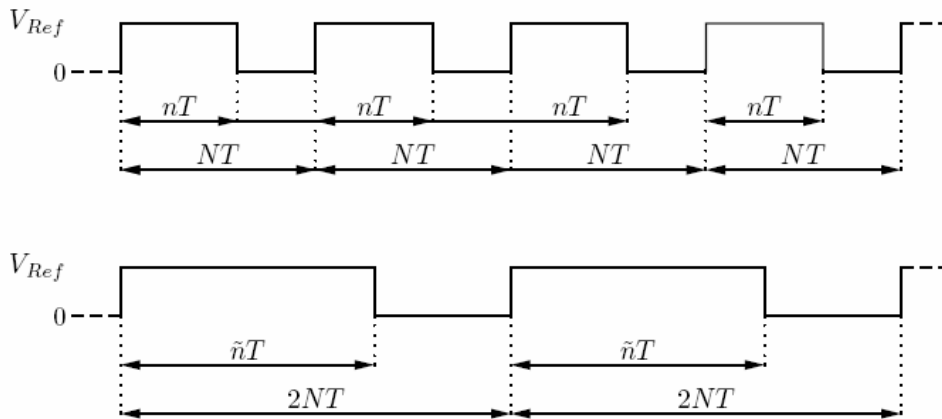


Abbildung 8.14: PWM Signale

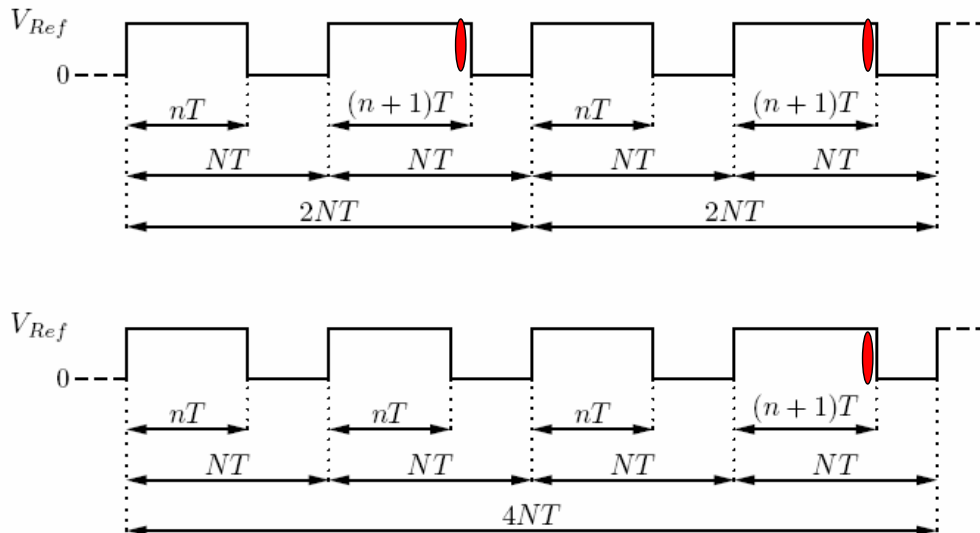


Abbildung 8.15: Veränderliches PWM-Signal für höhere Auflösung

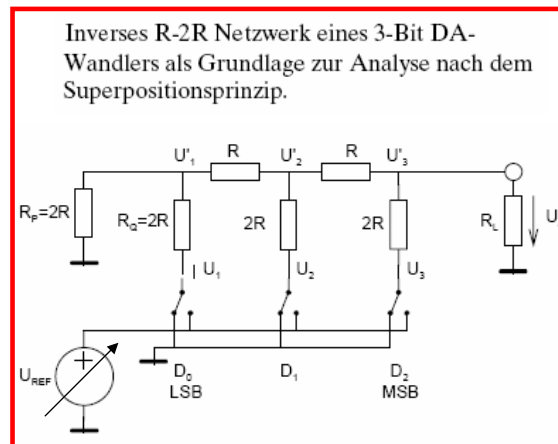
8.3.2 $\Sigma\Delta$ -Prinzip

- Erhöhung der Auflösung durch Verändern des Ausgabewertes bei gleichbleibender PWM-Frequenz.
- $n + 0.5 \Rightarrow \frac{1}{2} \left(\frac{n}{N} + \frac{n+1}{N} \right) = \frac{n+0.5}{N}$
- $n + 0.25 \Rightarrow \frac{1}{4} \left(3 \frac{n}{N} + \frac{n+1}{N} \right) = \frac{n+0.25}{N}$

8.4 Multiplizierender DAC

Falls ein DAC mit einer dynamischen Referenzspannung betrieben werden kann bzw. wird, spricht man von einem multiplizierenden DAC (MDAC... Multiplying DAC). Dieser kann eine analoge Eingangsspannung V_{in} mit einem digital vorgegebenen Wert n multiplizieren (Auflösung N in Bit).

$$V_{out} = V_{in} \frac{n}{2^N} \quad (8.27)$$



8.5.2 Tiefpassfilter

8.6 Auswahl von DACs

- Auflösung/Linearität, SNR, ENOB.
- Geschwindigkeit.
- Stromaufnahme.
- Schnittstelle (seriell, parallel).
- Referenz (intern, extern).
- Gehäuse.
- Preis.

- <http://www.analog.com> Analog Devices
- <http://focus.ti.com> Texas Instruments
- <http://www.austriamicrosystems.com>
austriamicrosystems AG
- <http://www.maxim-ic.com> Maxim Semiconductors
- <http://www.national.com> National Semiconductors
- <http://www.intersil.com> Intersil
- . . . und verschiedene andere Hersteller

8.5 Beschaltung von DAC-Ausgängen

(Wiederholung)

8.5.1 Pegelumsetzung

Die Abbildung 15.2 zeigt die Aufgabe bei der Pegelumsetzung von DAC-Ausgangssignalen. Dabei wird ein sinusförmiges Signal um seine Mittenspannung $\frac{V_{Ref}}{2}$ gezeigt, welches den Spannungshub $(0 \dots V_{Ref})$ des DACs vollständig ausnutzt. Dieses soll nun zu einem massebezogenen Signal mit anderer Amplitude verstärkt werden.

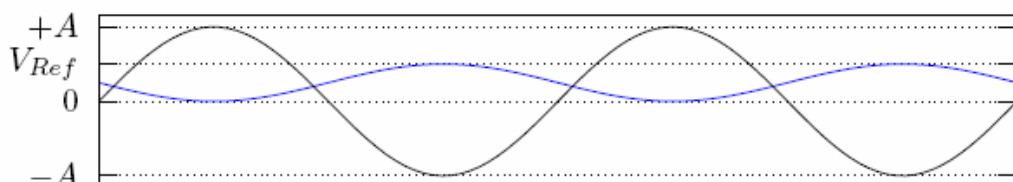
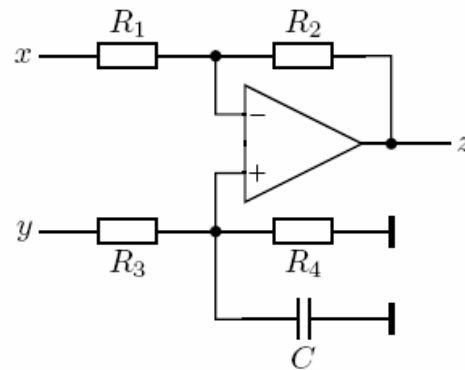


Abbildung 15.2: DAC-Ausgangssignal $(0 \dots V_{Ref})$ und das gewünschte Analogsignal $(-A \dots A)$

8.5 Beschaltung von DAC-Ausgängen

8.5.1 Pegelumsetzung

(Wiederholung)



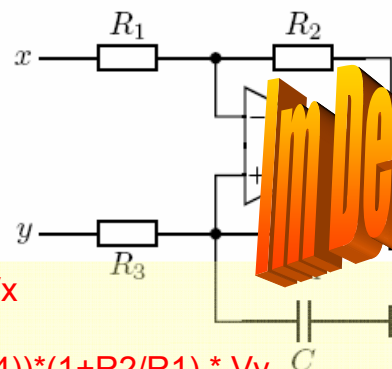
Handrechnung mit Superposition !

Abbildung 8.16: Analoge Pegelumsetzung mit einem Subtrahierer-Verstärker

- DAC-Ausgänge haben meistens einen Ausgangsspannungsbereich von $0 \rightarrow V_{ref} \Rightarrow$ Pegelumsetzung notwendig.
- Der invertierende Pfad ist der Signalpfad mit passender Verstärkung (Negation im Digitalen ist nicht nennenswert).
- Der nicht-invertierende Pfad dient zum Verschieben des Nullpunkts (Eingangssignal ist eine Referenzspannung oder die Versorgungsspannung).

8.5 Beschaltung von DAC-Ausgängen

8.5.1 Pegelumsetzung



$$V_{out1} = -R_2/R_1 \cdot V_x$$

$$V_{out2} = (R_4/(R_3+R_4)) \cdot (1+R_2/R_1) \cdot V_y$$

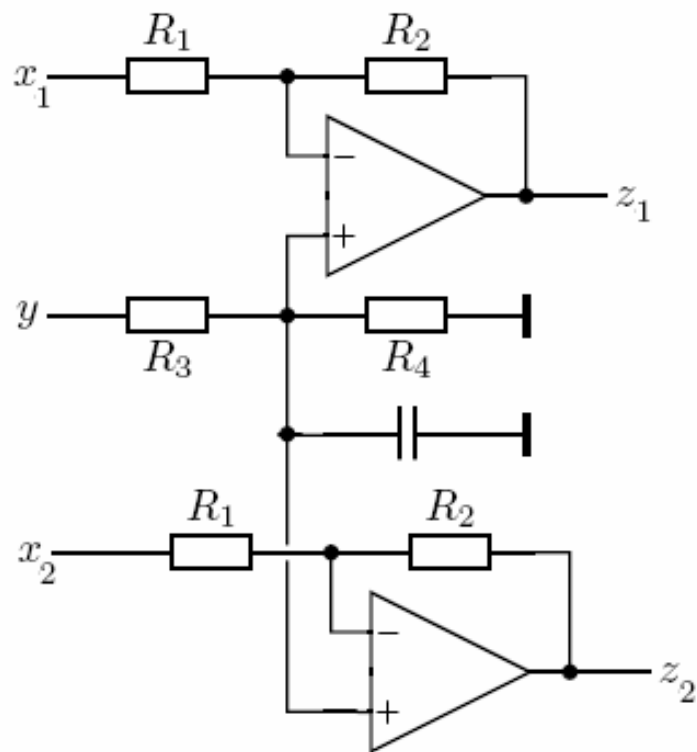
$$V_z = V_{out1} + V_{out2}$$

Abbildung 8.16: Analoge Pegelumsetzung mit einem Subtrahierer-Verstärker

- DAC-Ausgänge haben meistens einen Ausgangsspannungsbereich von $0 \rightarrow V_{ref} \Rightarrow$ Pegelumsetzung notwendig.
- Der invertierende Pfad ist der Signalpfad mit passender Verstärkung (Negation im Digitalen ist nicht nennenswert).
- Der nicht-invertierende Pfad dient zum Verschieben des Nullpunkts (Eingangssignal ist eine Referenzspannung oder die Versorgungsspannung).

8.5 Beschaltung von DAC-Ausgängen

Ausgabe von z.B. 2 DAC Kanälen mit gemeinsamer Nutzung der Spannung „y“



8.5 Beschaltung von DAC-Ausgängen

(Wiederholung)

Glättung eines DAC-Ausgangssignals

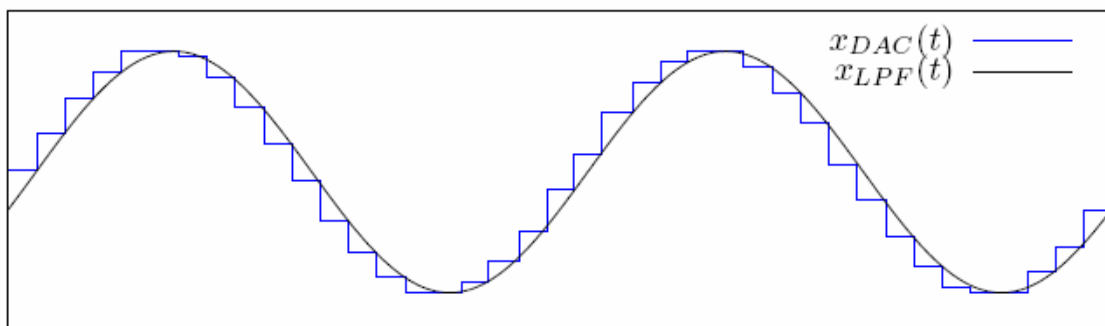
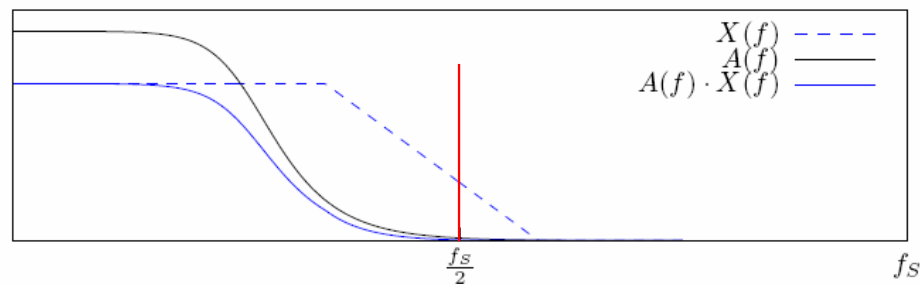


Abbildung 15.5: Interpolationsfilterung anhand eines sinusförmigen DAC-Ausgangssignals

Bandbegrenzung bei AD/DA-Umsetzung

Abb. 17.4 Bandbegrenzung des Signals $X(f)$ mit einem Tiefpaßfilter $A(f)$

8.5.2 Tiefpassfilter

8.5.2 Tiefpassfilter

- Stufenförmige Ausgabe verursacht höherfrequente Spiegelfrequenzen \Rightarrow Glättung der Stufen durch ein Tiefpassfilter.
- Mittelwertbildung von PWM-Signalen.

Amplitudengang $\frac{1}{\sqrt{2}}$ @ ω_c

Normierte Frequenz:

$$S = \frac{s}{\omega_c} = \frac{j\omega}{\omega_c} = j\Omega \quad (8.30)$$

Erste Ordnung:

$$G(S) = \frac{1}{S + 1} \quad (8.31)$$

Zweite Ordnung:

$$G(S) = \frac{1}{bS^2 + aS + 1} \quad (8.32)$$

Höhere Ordnung:

$$G(S) = \prod_{i=1}^n \frac{1}{b_i S^2 + a_i S + 1} \quad (8.33)$$

Diese Formeln sind allgemeingültig (siehe später Filtercharakteristika)

8.5.2 Tiefpassfilter

Passive RC-Filter

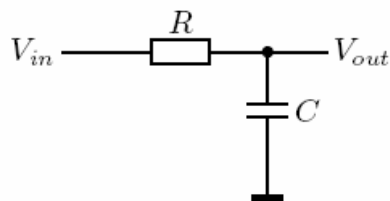


Abbildung 8.17: Passives RC-Filter 1. Ordnung

1. Ordnung:

$$G(s) = \frac{1}{1 + sRC} = \frac{1}{1 + s\tau} = \frac{1}{1 + S} \quad (8.34)$$

$$\text{Amplitudengang } \frac{1}{\sqrt{2}}$$

$$\omega_c = \frac{1}{RC}$$

Normierte Frequenz:

$$S = \frac{s}{\omega_c} = \frac{j\omega}{\omega_c} = j\Omega$$

8.5.2 Tiefpassfilter

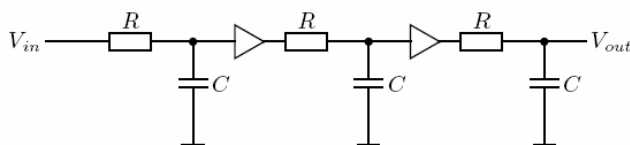


Abbildung 8.18: Passives RC-Filter 3. Ordnung mit Verstärkern

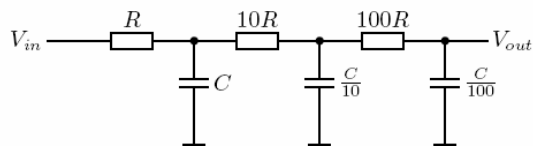


Abbildung 8.19: Passives RC-Filter 3. Ordnung ohne Verstärker

N-te Ordnung:

$$G(s) = \frac{1}{(1 + S)^N} \quad (8.35)$$

Verschiebung der Grenzfrequenz:

$$\frac{1}{\sqrt{2}} = \frac{1}{|1 + j\Omega|^N} \Rightarrow \frac{1}{\sqrt{2}} = \frac{1}{\sqrt{1 + \Omega^2}^N} \Rightarrow \sqrt[2]{2} = 1 + \Omega^2 \Rightarrow \Omega_c = \sqrt{\sqrt[2]{2} - 1} \Rightarrow \omega_c = \frac{1}{RC} \sqrt{\sqrt[2]{2} - 1}$$

8.5.2 Tiefpassfilter

Einfachmitkopplung (Sallen-Key)

(R. P. Sallen & E. L. Key @ MIT, 1955)

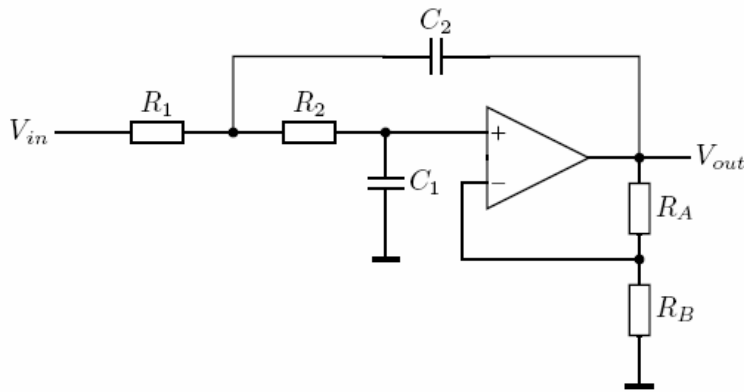


Abbildung 8.20: Filter 2. Ordnung mit Einfachmitkopplung (Sallen-Key)

$$k = 1 + \frac{R_A}{R_B} \quad (8.37)$$

$$G(s) = \frac{k}{1 + [C_1(R_1 + R_2) + (1 - k)R_1C_2]s + R_1R_2C_1C_2s^2} \quad (8.38)$$

Koeffizientenvergleich für verschiedene Filtercharakteristiken (siehe Gleichung 8.32):

$$a = \omega_c(C_1(R_1 + R_2) + (1 - k)R_1C_2) \quad (8.39)$$

$$b = \omega_c^2 R_1 R_2 C_1 C_2 \quad (8.40)$$

DC-Verstärkung

Übertragungs-
Funktion

Koeffizienten

8.5.2 Tiefpassfilter

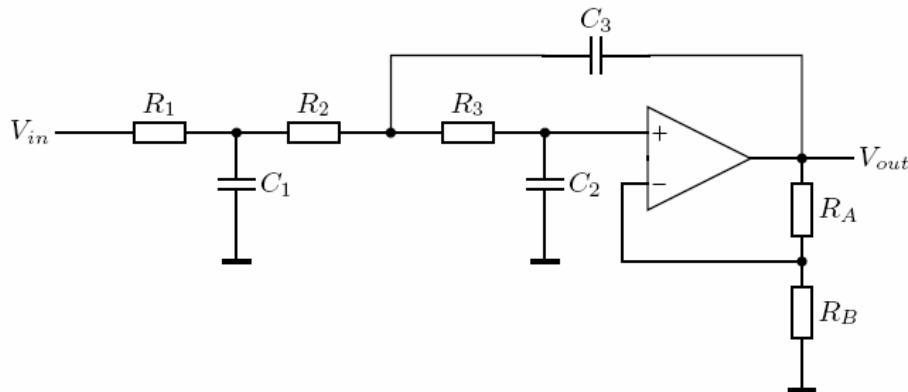


Abbildung 8.21: Erweiterung zum Filter 3. Ordnung

$$G(s) = \frac{k}{1 + k_1 s + k_2 s^2 + k_3 s^3} \quad (8.41)$$

$$k_1 = (R_1 + R_2 + R_3)C_3 + R_1C_1 + (R_1 + R_2)C_2(1 - k) \quad (8.42)$$

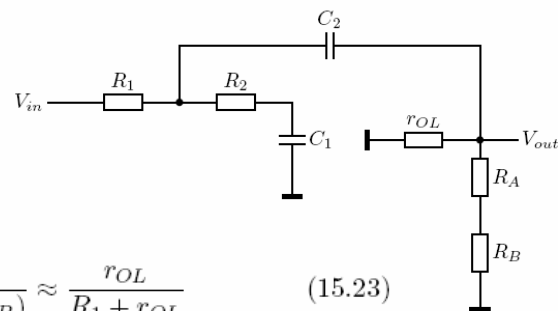
$$k_2 = R_1R_2C_1C_2(1 - k) + (R_1C_1(R_2 + R_3) + R_2C_2(R_1 + R_3))C_3 \quad (8.43)$$

$$k_3 = R_1R_2R_3C_1C_2C_3 \quad (8.44)$$

8.5.2 Tiefpassfilter

- Höhere Ordnung durch hintereinanderschalten.
- Konjugiert komplexe Pole und damit alle Filtercharakteristiken möglich.
- Gepufferter Ausgang (Offset-Fehler!).
- Einstellbare DC-Verstärkung $k \geq 1$.
- Dimensionierung durch Koeffizientenvergleich.
- 3. Ordnung durch Hinzufügen eines RC-Gliedes am Eingang (schwieriger Koeffizientenvergleich da nichtlineares Gleichungssystem).
- Problem bei hochfrequentem Eingangssignal (siehe Abbildung 8.22): Wenn der Operationsverstärker nicht mehr als solcher funktioniert ($f > f_T$) entsteht ein Hochpassfilter (R_1, C_2, r_{OL})!
Spannungsteiler R_1 mit r_{OL} : $A \approx \frac{r_{OL}}{R_1 + r_{OL}}$ für $f > f_T$ bzw. hohe Eingangsfrequenzen (z.B. Flanken bei PWM-Signalen).
Filter 3. Ordnung: Passives RC-Filter am Eingang bleibt immer ein Tiefpassfilter.

8.5.2 Tiefpassfilter



$$\frac{V_{out}}{V_{in}} = \frac{r_{OL} \parallel R_2 \parallel (R_A + R_B)}{R_1 + r_{OL} \parallel R_2 \parallel (R_A + R_B)} \approx \frac{r_{OL}}{R_1 + r_{OL}} \quad (15.23)$$

Sallen-Key-Schaltung bei Frequenzen über der Transitfrequenz f_T

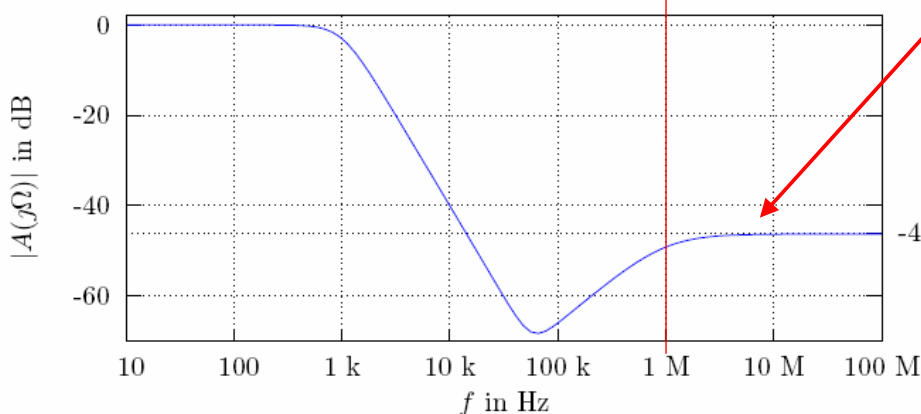


Abbildung 15.12: Frequenzgang eines Sallen-Key-Tiefpassfilters 2. Ordnung: $f_c = 1$ kHz, $G_0 = 1$, $R_1 = 19,8$ k Ω , $R_2 = 2,72$ k Ω , $C_1 = 47$ nF, $C_2 = 10$ nF; Operationsverstärker: $f_T = 1$ MHz, $r_{OL} = 100$ Ω ;
 $\frac{r_{OL}}{R_1 + r_{OL}} = \frac{100}{19,8 \text{ k} + 100} \approx 0,005 \approx -46$ dB

8.5.2 Tiefpassfilter

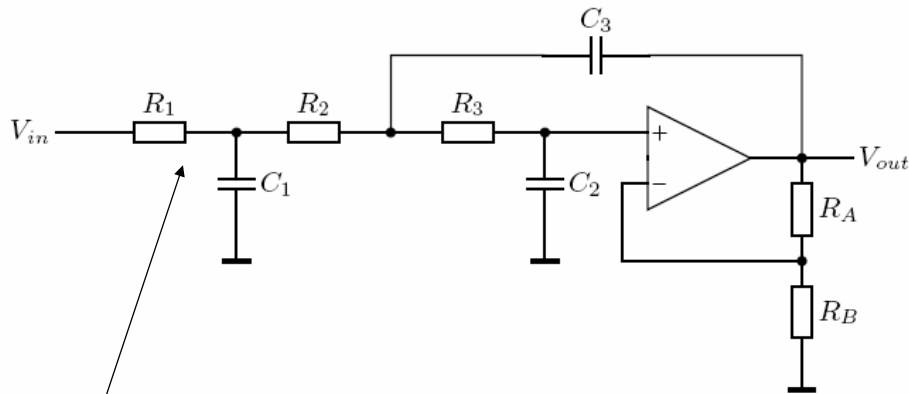


Abbildung 8.21: Erweiterung zum Filter 3. Ordnung

$$G(s) = \frac{k}{1 + k_1 s + k_2 s^2 + k_3 s^3} \quad (8.41)$$

$$k_1 = (R_1 + R_2 + R_3)C_3 + R_1 C_1 + (R_1 + R_2)C_2(1 - k) \quad (8.42)$$

$$k_2 = R_1 R_2 C_1 C_2(1 - k) + (R_1 C_1(R_2 + R_3) + R_2 C_2(R_1 + R_3))C_3 \quad (8.43)$$

$$k_3 = R_1 R_2 R_3 C_1 C_2 C_3 \quad (8.44)$$

Problem vermeidbar durch vorgeschaltetes, passives RC-Filter!

8.5.2 Tiefpassfilter

Merfachgegenkopplung

$$G(s) = \frac{-\frac{R_2}{R_1}}{1 + C_1 \left(R_2 + R_3 + \frac{R_2 R_3}{R_1} \right) s + R_1 R_2 C_1 C_2 s^2} \quad (8.45)$$

Koeffizientenvergleich für verschiedene Filtercharakteristiken (siehe Gleichung 8.32):

$$k = -\frac{R_2}{R_1} \quad (8.46)$$

$$a = \omega_c C_1 \left(R_2 + R_3 + \frac{R_2 R_3}{R_1} \right) \quad (8.47)$$

$$b = \omega_c^2 R_1 R_2 C_1 C_2 \quad (8.48)$$

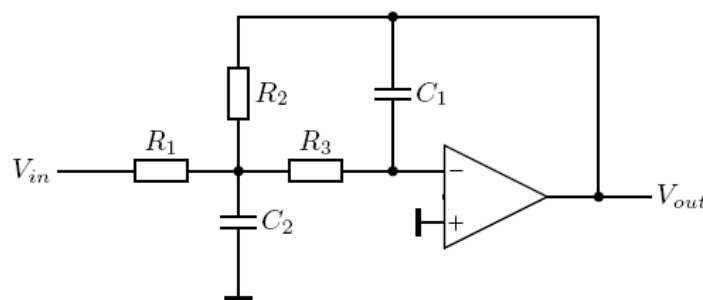


Abbildung 8.23: Filter 2. Ordnung mit Mehrfachgegenkopplung

8.5.2 Tiefpassfilter

- Höhere Ordnung durch hintereinanderschalten.
- Konjugiert komplexe Pole und damit alle Filtercharakteristiken möglich.
- Gepufferter Ausgang (Offset-Fehler!).
- Einstellbare DC-Verstärkung $k < 0$ (invertierend, aber auch $|k| < 1$).
- Durch Hinzufügen eines RC-Tiefpassfilters vor dem Eingang auch 3. Ordnung möglich (schwieriger Koeffizientenvergleich da nichtlineares Gleichungssystem).
- R_1 und C_2 bilden immer ein passives Tiefpassfilter \Rightarrow keine Probleme bei hochfrequenten Eingangssignalen.
- DC-Verhalten wie ein invertierender Verstärker. Nicht-invertierenden Eingang nicht auf Masse verbinden \Rightarrow gleichzeitig Pegelumsetzung (siehe Abschnitte 8.5.1, 9.5.1 und 9.5.4) möglich. \longrightarrow ●/●

8.5.2 Tiefpassfilter

Kombination von Filter

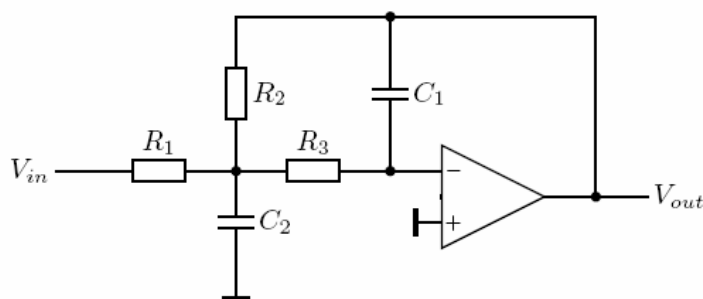
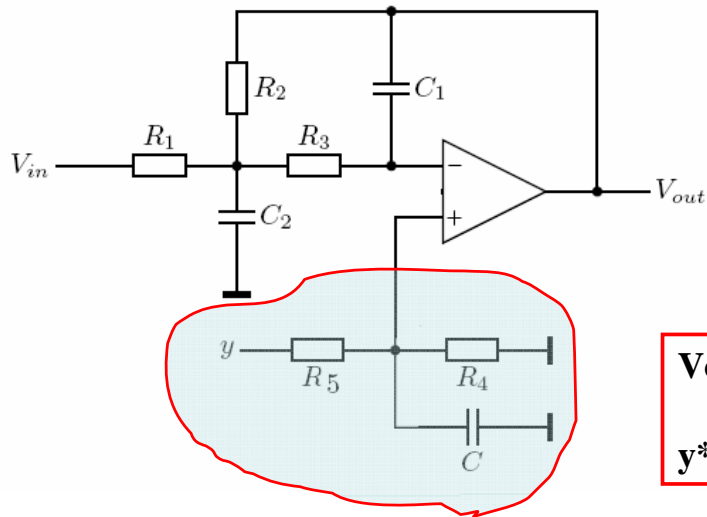


Abbildung 8.23: Filter 2. Ordnung mit Mehrfachgegenkopplung

8.5.2 Tiefpassfilter

Kombination von Filter und Pegelanpassung



8.5.2 Tiefpassfilter

Filtercharakteristiken

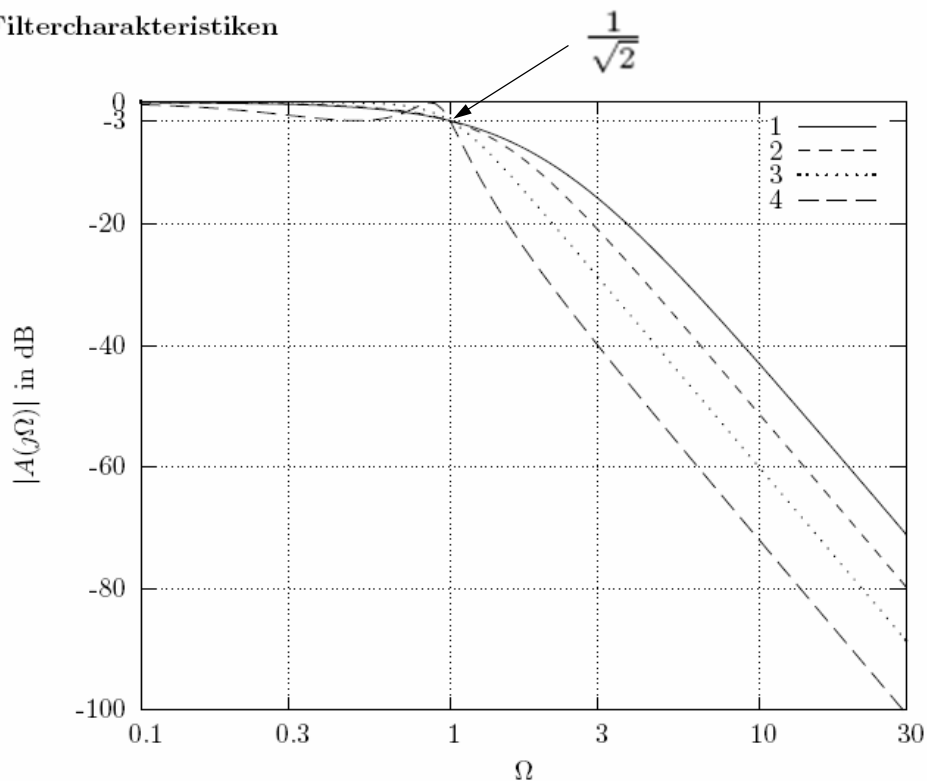


Abbildung 8.26: Filter 3. Ordnung: 1...kritische Dämpfung, 2...Bessel, 3... Butterworth (Potenzfilter), 4... Chebyshev 3dB Welligkeit

8.5.2 Tiefpassfilter

Filtercharakteristiken

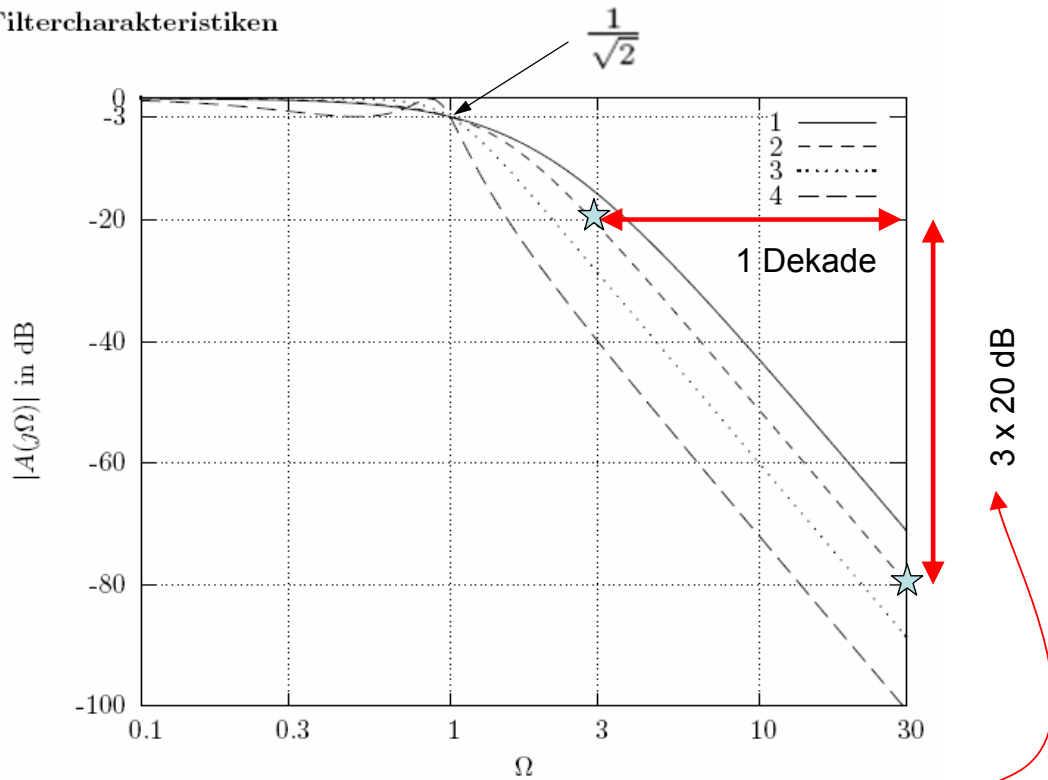


Abbildung 8.26: Filter **3. Ordnung**: 1...kritische Dämpfung, 2...Bessel, 3... Butterworth (Potenzfilter), 4... Chebyshev 3dB Welligkeit

8.5.2 Tiefpassfilter

Filterkoeffizienten

Kritische Dämpfung			
n	i	a_i	b_i
1	1	1.0000	0.0000
2	1	1.2872	0.4142
3	1	0.5098	0.0000
	2	1.0197	0.2599
4	1	0.8700	0.1892
	2	0.8700	0.1892
5	1	0.3856	0.0000
	2	0.7712	0.1487
	3	0.7712	0.1487
6	1	0.6999	0.1225
	2	0.6999	0.1225
	3	0.6999	0.1225

Butterworth			
n	i	a_i	b_i
1	1	1.0000	0.0000
2	1	1.4142	1.0000
3	1	1.0000	0.0000
	2	1.0000	1.0000
4	1	1.8478	1.0000
	2	0.7654	1.0000
5	1	1.0000	0.0000
	2	1.6180	1.0000
	3	0.6180	1.0000
6	1	1.9319	1.0000
	2	1.4142	1.0000
	3	0.5176	1.0000

8.5.2 Tiefpassfilter

Bessel				Chebyshev (3 dB)			
n	i	a_i	b_i	n	i	a_i	b_i
1	1	1.0000	0.0000	1	1	1.0000	0.0000
2	1	1.3617	0.6180	2	1	1.0650	1.9305
3	1	0.7560	0.0000	3	1	3.3496	0.0000
	2	0.9996	0.4772		2	0.3559	1.1923
4	1	1.3397	0.4889	4	1	2.1853	5.5339
	2	0.7743	0.3890		2	0.1964	1.2009
5	1	0.6656	0.0000	5	1	5.6334	0.0000
	2	1.1402	0.4128		2	0.7620	2.6530
	3	0.6216	0.3245		3	0.1172	1.0686
6	1	1.2217	0.3887	6	1	3.2721	11.6773
	2	0.9686	0.3505		2	0.4077	1.9873
	3	0.5131	0.2756		3	0.0815	1.0861

Tabelle 8.1: Filterkoeffizienten

9 Analog/Digital-Umsetzer

Analog/Digital-Umsetzer

Der einfachste ADC ist der 1-Bit ADC. Dieser ist nichts Anderes als ein Komparator und bildet das Kernelement von allen höher auflösenden ADCs.

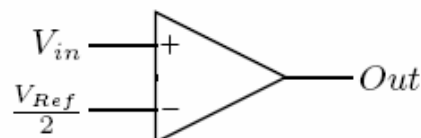


Abbildung 9.1: 1-Bit ADC (Komparator)

1 Schwelle ($V_{ref}/2$) – 2 Bereiche – 1 Bit

9 Analog/Digital-Umsetzer

9.5.2 Sample-and-Hold-Eingänge

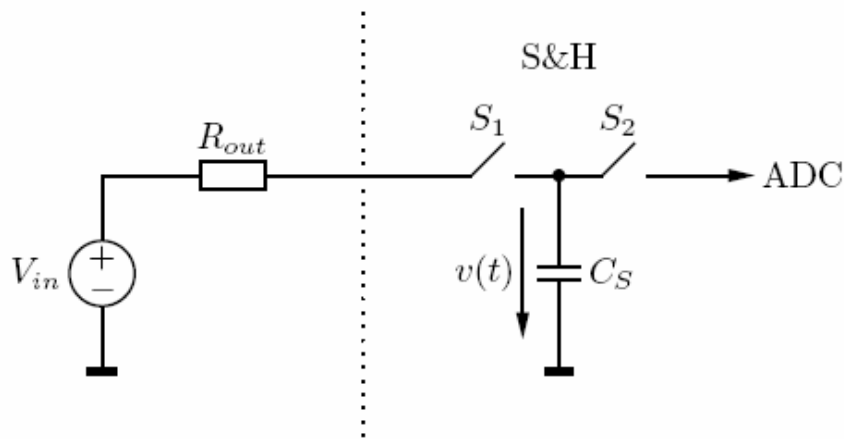


Abbildung 9.27: S&H-Eingang eines ADCs

- S_1 geschlossen: Der Abtastkondensator C_S wird auf die Eingangsspannung V_{in} aufgeladen (Sample). Dieser Vorgang hat eine definierte Dauer T_S .
- S_2 geschlossen: Der Kondensator C_S behält seine Ladung (Hold). Damit bleibt die Eingangsspannung für den ADC während einer Umsetzung konstant.

9 Analog/Digital-Umsetzer

- Eine ausreichende Umladung (auf $\frac{1}{2}LSB = \frac{V_{Ref}}{2^{N+1}}$ genau) des Abtastkondensators muß innerhalb der Zeit T_S durchgeführt werden.
Schlimmster Fall: Umladen von 0 auf V_{Ref} bzw. von V_{Ref} auf 0.

auf $\frac{1}{2} LSB$ genau $\begin{cases} u(t) = V_{Ref} e^{-\frac{t}{R_{out} C_S}} \end{cases} \quad (9.16)$

$\begin{cases} V_{Ref} e^{-\frac{T_S}{R_{out} C_S}} < \frac{V_{Ref}}{2^{N+1}} \end{cases} \quad (9.17)$

In anwenden $\begin{cases} R_{out} < \frac{T_S}{C_S(N+1) \ln 2} \end{cases} \quad (9.18)$

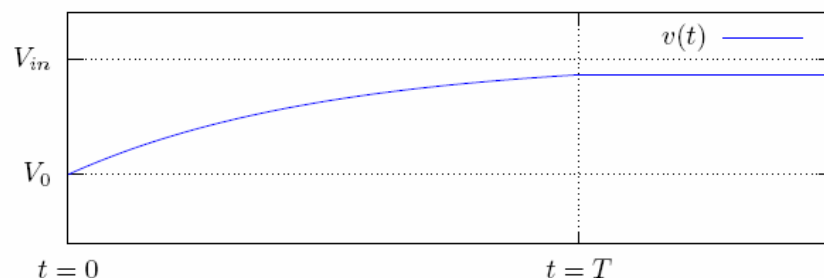
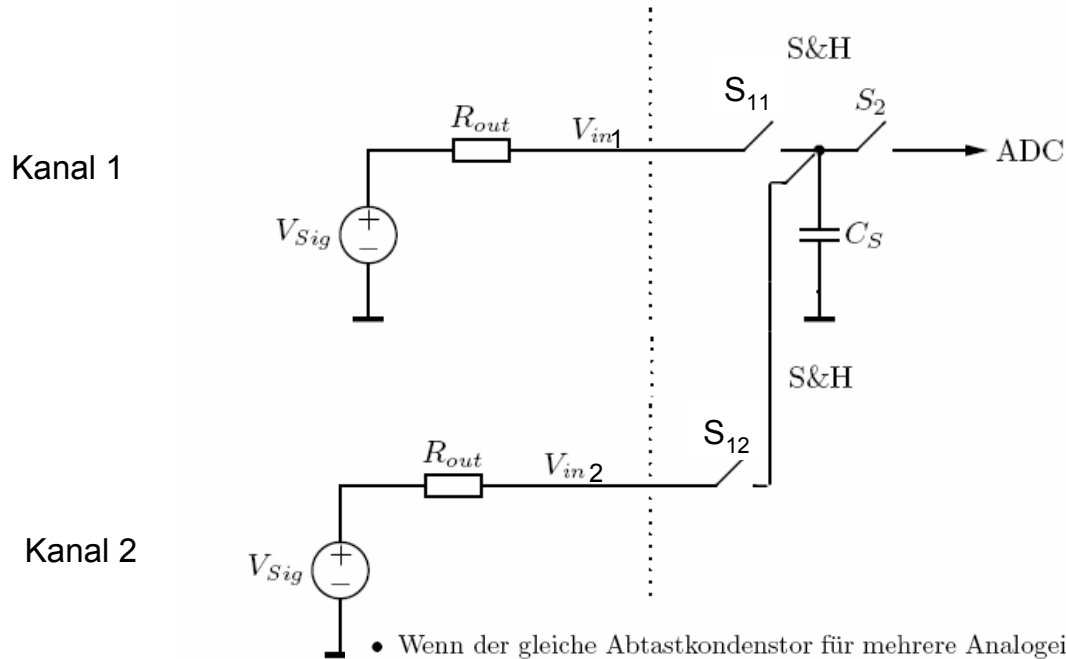


Abbildung 15.16: Exponentieller Umladevorgang

9 Analog/Digital-Umsetzer



- Wenn der gleiche Abtastkondensator für mehrere Analogeingänge (sequentielle Umsetzung) verwendet wird (bei Microcontrollern üblich), kann es bei zu großem Ausgangswiderstand der Signalquelle zum Übersprechen zwischen zwei Kanälen kommen.

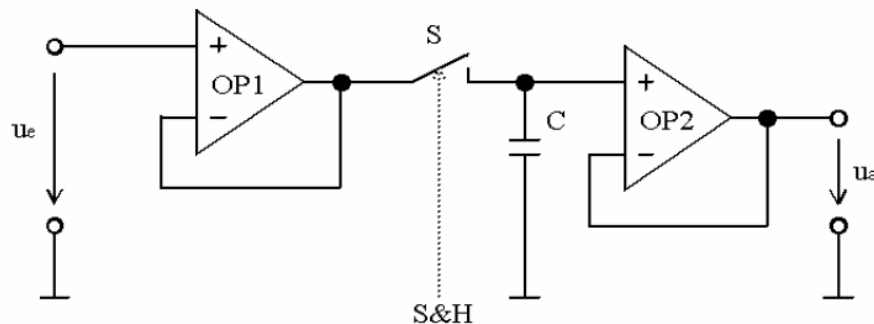
$$\tilde{u}_2 = u_2 - (u_2 - u_1)k, \quad k = e^{-\frac{T_S}{R_{out}C_S}} \quad (9.19)$$

$$\tilde{u}_2 = (1 - k)u_2 + ku_1 \quad (9.20)$$

9 Analog/Digital-Umsetzer

Ausführungsbeispiel S&H bzw. T&H

- Prinzipieller Aufbau:



<u>Impedanzwandler</u>	<u>Speicher</u>	<u>Impedanzwandler</u>
<ul style="list-style-type: none"> - Quelle soll nicht belastet werden - Hoher Ausgangsstrom, damit Kondensator schnell umgeladen wird 	<ul style="list-style-type: none"> - Schalter S geschlossen: Kondensator wird aufgeladen - Gute Isolation ist erforderlich (großer R_{off}) 	<ul style="list-style-type: none"> - Kondensator soll nicht belastet werden, wenn Schalter S geöffnet ist

9 Analog/Digital-Umsetzer

9.1 Grundlagen: Parallel-, Wäge- und Zählverfahren

1. Parallelverfahren (Flash converter):

Die Umsetzung erfolgt in einem Arbeitsschritt. Dazu wird die Eingangsgröße gleichzeitig mit allen möglichen Quantisierungsintervallen verglichen.

Eigenschaften: sehr schnell (Videofrequenzen), aufwendig, geringere Auflösung.

2. Wägeverfahren (Successive approximation):

Pro Arbeitsschritt wird ein Bit des Ergebnisses gebildet. Damit benötigt eine Umsetzung $\ln N$ Arbeitsschritte.

Eigenschaften: geringer Aufwand, Kompromiß zwischen Auflösung und Geschwindigkeit.

3. Integrierende Verfahren und Zählverfahren:

Hier wird eine innere Referenzgröße in Kombination mit der Zeit als Gewicht verwendet. Bei den heute verwendeten Verfahren wird auch gleichzeitig die Eingangsgröße integriert.

Eigenschaften: langsam, hohe Auflösung, hohe Linearität, Mittelung der Eingangsgröße.

9 Analog/Digital-Umsetzer

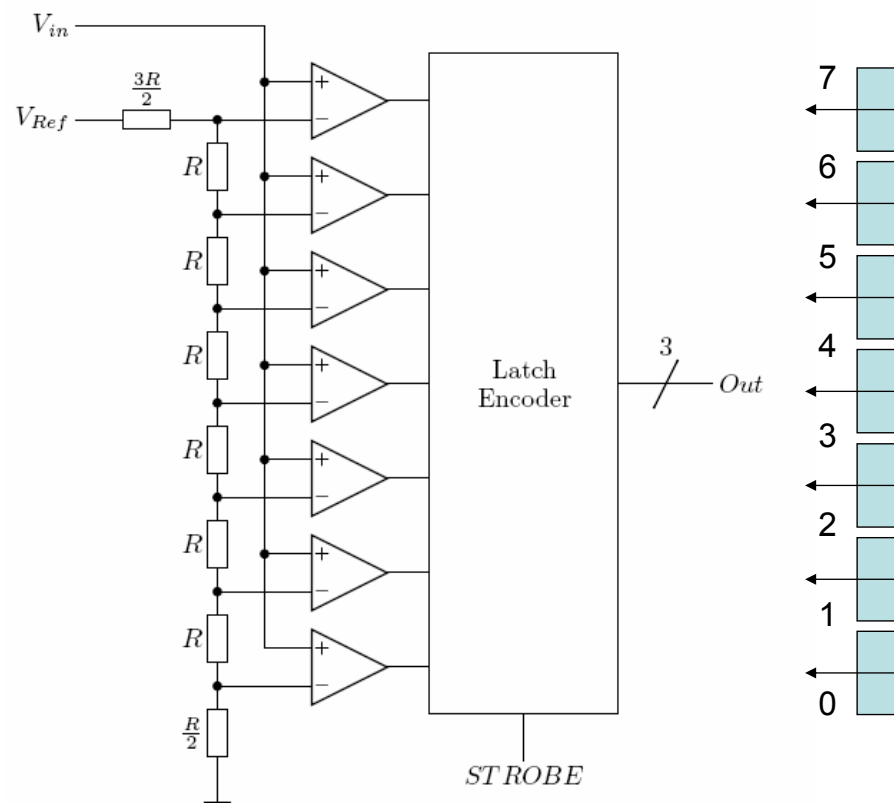


Abbildung 9.2: 3-Bit Parallelumsetzer (Flash converter)

9 Analog/Digital-Umsetzer

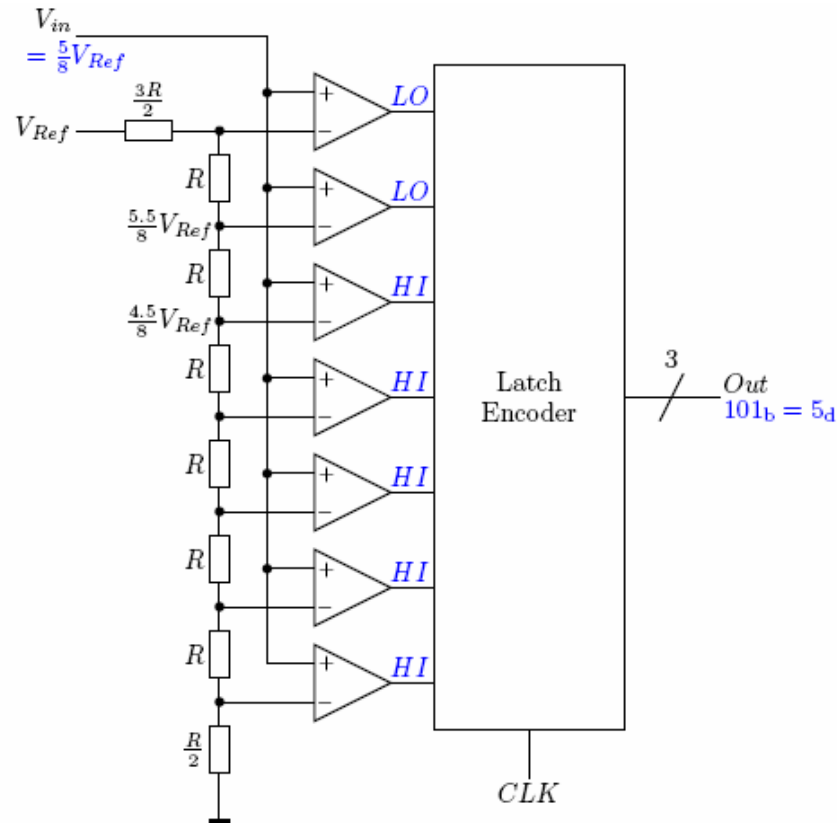


Abbildung 14.3: 3-Bit Parallelumsetzer (*Flash Converter*)

EST 2 / SS 2011 IFE W. Pribyl Seite 39

9 Analog/Digital-Umsetzer

Parallelumsetzer (*Flash Converter*)

- $2^N - 1$ Komparatoren werden benötigt.
- Umsetzung erfolgt in einem Arbeitsschritt: sehr schnell (Videofrequenzen).
- Latch/Encoder: Durch das *STROBE*-Signal werden die Ausgangswerte der Komparatoren gespeichert (Zeitdiskretisierung) und in den Binärcode umgesetzt (Thermometer Code \rightarrow Binärcode).
- Offset-Spannungen der Komparatoren beschränken die Linearität bzw. Auflösung.
- Große Leistungsaufnahme: $2^N - 1$ Komparatoren.
- Große, spannungsabhängige Eingangskapazität ($2^N - 1$ Komparatoreingänge), Leckstrom.
- Viel Chip-Fläche benötigt.

9 Analog/Digital-Umsetzer

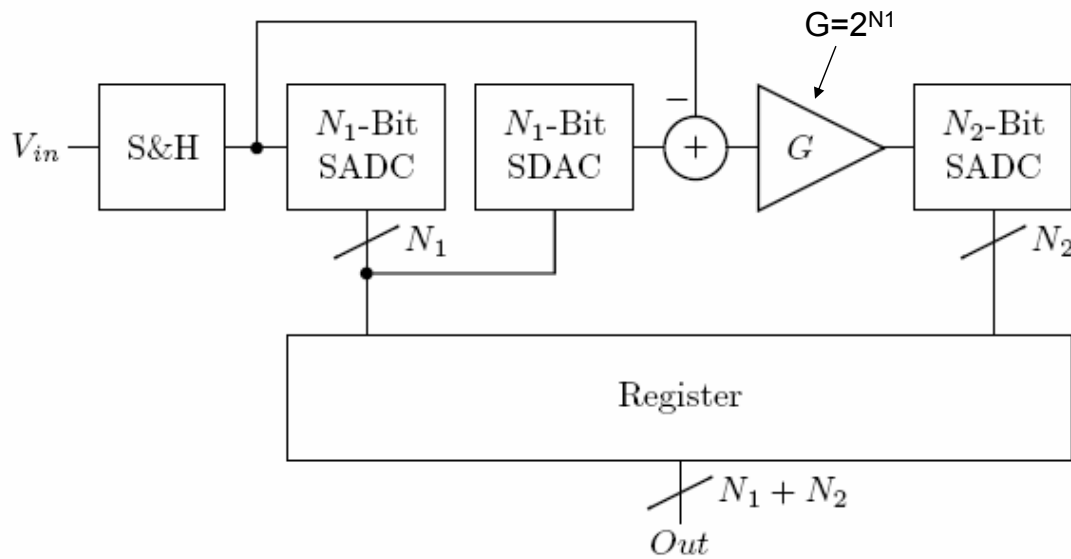


Abbildung 9.3: $(N_1 + N_2)$ -Bit Kaskadenumsetzer (Subranging ADC)

9 Analog/Digital-Umsetzer

- S&H... Sample & Hold, konstantes Eingangssignal während der Umsetzung.
- SADC, SDAC... Sub-ADC, Sub-DAC.
- Aufteilen in einen Grob- ($SADC_1$) und einen Feinquantisierer ($SADC_2$).
- Eingangssignal des Verstärkers: Quantisierungsfehler von $SADC_1$ (Fehlersignal, residue signal).
- Ausgangssignal des Verstärkers: Verstärkter Quantisierungsfehler ($G = 2^{N_1}$) zur Anpassung an den Eingangsspannungsbereich von $SADC_2$.
- $SADC_2$: Feinquantisierung des Quantisierungsfehlers von $SADC_1$.
- Weniger Komparatoren als beim Flash-ADC: $2^{N_1} + 2^{N_2} - 2$ (6-Bit ADC aus 3-Bit SADCs: $2^3 + 2^3 - 2 = 14$, Parallelumsetzer: $2^6 - 1 = 63$).
- Längere Umsetzungszeit: $2 \times$ ADC, $1 \times$ DAC, Subtraktion und Verstärker.
- Kompromiss zwischen Auflösung und Umsetzungszeit.
- Problem: $SADC_1$ muss die volle Linearität ($N_1 + N_2$ Bit) aufweisen, da sonst das Fehlersignal zu groß wird (siehe Abbildung 9.4) und Missing Codes entstehen. Abhilfe: Fehlerkorrektur (siehe Abbildung 9.6).

9 Analog/Digital-Umsetzer

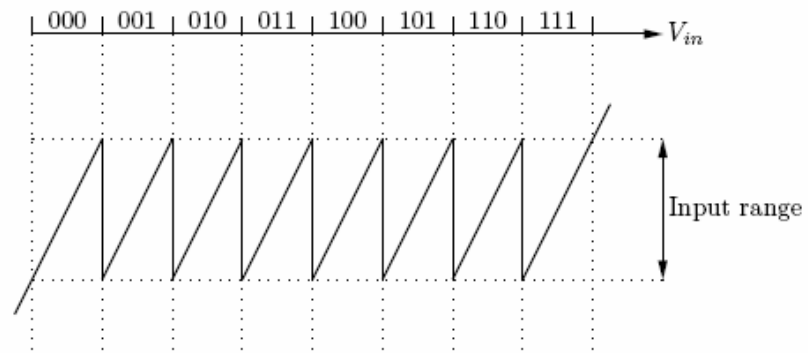


Abbildung 14.5: Fehlersignal R , Grobquantisierer mit voller Linearität

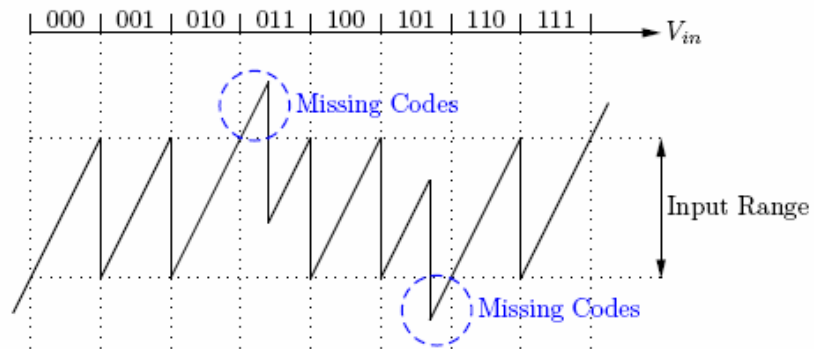


Abbildung 14.6: Fehlersignal, Grobquantisierer ohne volle Linearität