

8.5.2 Tiefpassfilter

(Wiederholung)

8.5.2 Tiefpassfilter

- Stufenförmige Ausgabe verursacht höherfrequente Spiegelfrequenzen \Rightarrow Glättung der Stufen durch ein Tiefpassfilter.
- Mittelwertbildung von PWM-Signalen.

Amplitudengang $\frac{1}{\sqrt{2}}$ @ ω_c

Normierte Frequenz:

$$S = \frac{s}{\omega_c} = \frac{j\omega}{\omega_c} = j\Omega \quad (8.30)$$

Erste Ordnung:

$$G(S) = \frac{1}{S + 1} \quad (8.31)$$

Zweite Ordnung:

$$G(S) = \frac{1}{bS^2 + aS + 1} \quad (8.32)$$

Höhere Ordnung:

$$G(S) = \prod_{i=1}^n \frac{1}{b_i S^2 + a_i S + 1} \quad (8.33)$$

Diese Formeln sind allgemeingültig (siehe später Filtercharakteristika)

8.5 Beschaltung von DAC-Ausgängen

(Wiederholung)

8.5.1 Pegelumsetzung

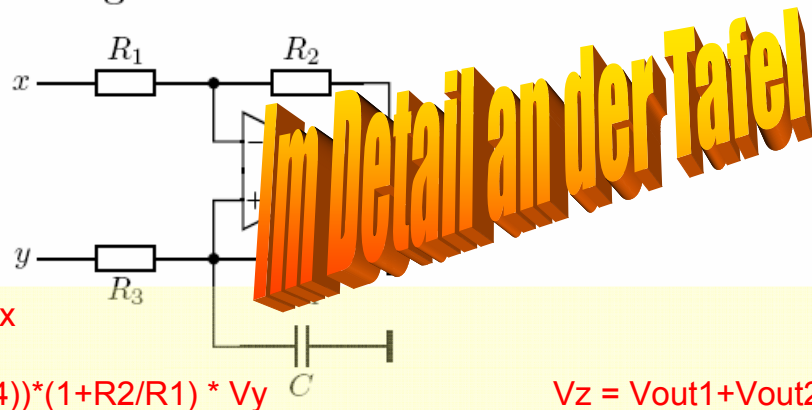
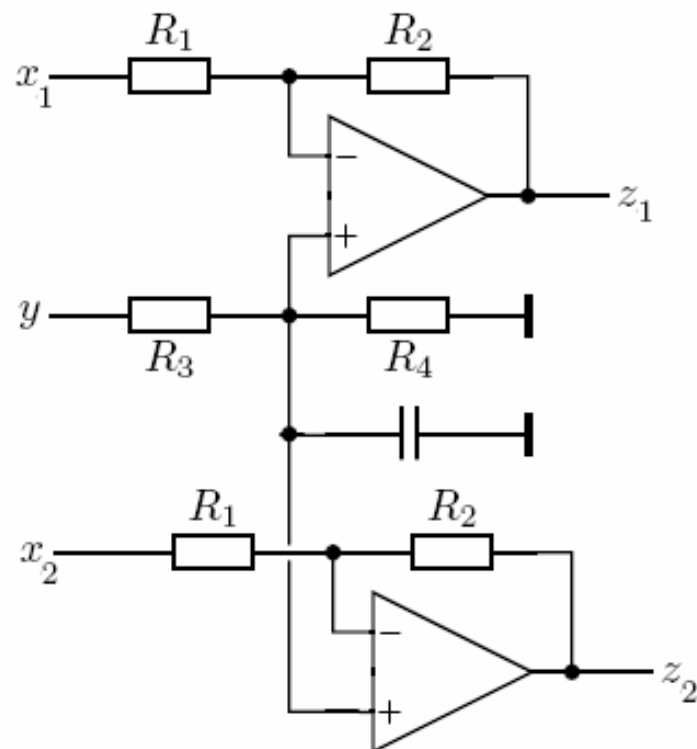


Abbildung 8.16: Analoge Pegelumsetzung mit einem Subtrahierer-Verstärker

- DAC-Ausgänge haben meistens einen Ausgangsspannungsbereich von $0 \rightarrow V_{ref} \Rightarrow$ Pegelumsetzung notwendig.
- Der invertierende Pfad ist der Signalpfad mit passender Verstärkung (Negation im Digitalen ist nicht nennenswert).
- Der nicht-invertierende Pfad dient zum Verschieben des Nullpunkts (Eingangssignal ist eine Referenzspannung oder die Versorgungsspannung).

Ausgabe von z.B. 2 DAC
Kanälen mit gemeinsamer
Nutzung der Spannung „y“



8.5.2 Tiefpassfilter

(Wiederholung)

8.5.2 Tiefpassfilter

- Stufenförmige Ausgabe verursacht höherfrequente Spiegelfrequenzen \Rightarrow Glättung der Stufen durch ein Tiefpassfilter.
- Mittelwertbildung von PWM-Signalen.

Amplitudengang $\frac{1}{\sqrt{2}}$ @ ω_c

Normierte Frequenz:

$$S = \frac{s}{\omega_c} = \frac{j\omega}{\omega_c} = j\Omega \quad (8.30)$$

Erste Ordnung:

$$G(S) = \frac{1}{S + 1} \quad (8.31)$$

Zweite Ordnung:

$$G(S) = \frac{1}{bS^2 + aS + 1} \quad (8.32)$$

Höhere Ordnung:

$$G(S) = \prod_{i=1}^n \frac{1}{b_i S^2 + a_i S + 1} \quad (8.33)$$

Diese Formeln sind allgemeingültig (siehe später Filtercharakteristika)

8.5.2 Tiefpassfilter

(Wiederholung)

Passive RC-Filter

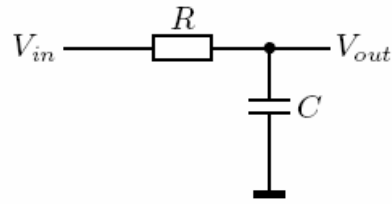


Abbildung 8.17: Passives RC-Filter 1. Ordnung

1. Ordnung:

$$G(s) = \frac{1}{1 + sRC} = \frac{1}{1 + s\tau} = \frac{1}{1 + S} \quad (8.34)$$

Amplitudengang $\frac{1}{\sqrt{2}}$

$\omega_c = \frac{1}{RC}$

Normierte Frequenz:

$$S = \frac{s}{\omega_c} = \frac{j\omega}{\omega_c} = j\Omega$$

8.5.2 Tiefpassfilter

(Wiederholung)

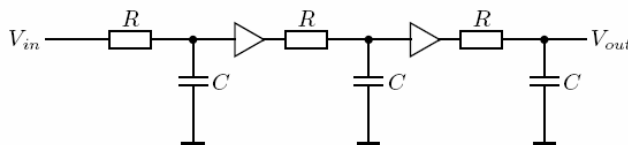


Abbildung 8.18: Passives RC-Filter 3. Ordnung mit Verstärkern

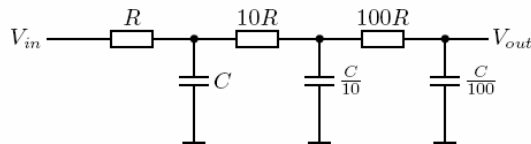


Abbildung 8.19: Passives RC-Filter 3. Ordnung ohne Verstärker

N-te Ordnung:

$$G(s) = \frac{1}{(1 + S)^N} \quad (8.35)$$

Verschiebung der Grenzfrequenz:

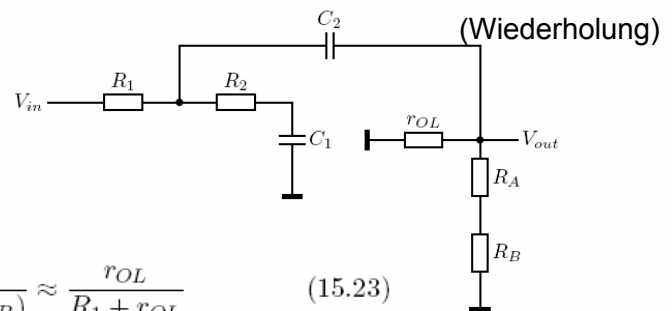
$$\frac{1}{\sqrt{2}} = \frac{1}{|1 + j\Omega|^N} \Rightarrow \frac{1}{\sqrt{2}} = \frac{1}{\sqrt{1 + \Omega^2}^N} \Rightarrow \sqrt[2]{2} = 1 + \Omega^2 \Rightarrow \Omega_c = \sqrt{\sqrt[2]{2} - 1} \Rightarrow \omega_c = \frac{1}{RC} \sqrt{\sqrt[2]{2} - 1}$$

8.5.2 Tiefpassfilter

(Wiederholung)

- Höhere Ordnung durch hintereinanderschalten.
- Konjugiert komplexe Pole und damit alle Filtercharakteristiken möglich.
- Gepufferter Ausgang (Offset-Fehler!).
- Einstellbare DC-Verstärkung $k \geq 1$.
- Dimensionierung durch Koeffizientenvergleich.
- 3. Ordnung durch Hinzufügen eines RC-Gliedes am Eingang (schwieriger Koeffizientenvergleich da nichtlineares Gleichungssystem).
- Problem bei hochfrequentem Eingangssignal (siehe Abbildung 8.22): Wenn der Operationsverstärker nicht mehr als solcher funktioniert ($f > f_T$) entsteht ein Hochpassfilter (R_1, C_2, r_{OL})!
Spannungsteiler R_1 mit r_{OL} : $A \approx \frac{r_{OL}}{R_1 + r_{OL}}$ für $f > f_T$ bzw. hohe Eingangsfrequenzen (z.B. Flanken bei PWM-Signalen).
Filter 3. Ordnung: Passives RC-Filter am Eingang bleibt immer ein Tiefpassfilter.

8.5.2 Tiefpassfilter



$$\frac{V_{out}}{V_{in}} = \frac{r_{OL} \parallel R_2 \parallel (R_A + R_B)}{R_1 + r_{OL} \parallel R_2 \parallel (R_A + R_B)} \approx \frac{r_{OL}}{R_1 + r_{OL}} \quad (15.23)$$

Sallen-Key-Schaltung bei Frequenzen über der Transitfrequenz f_T

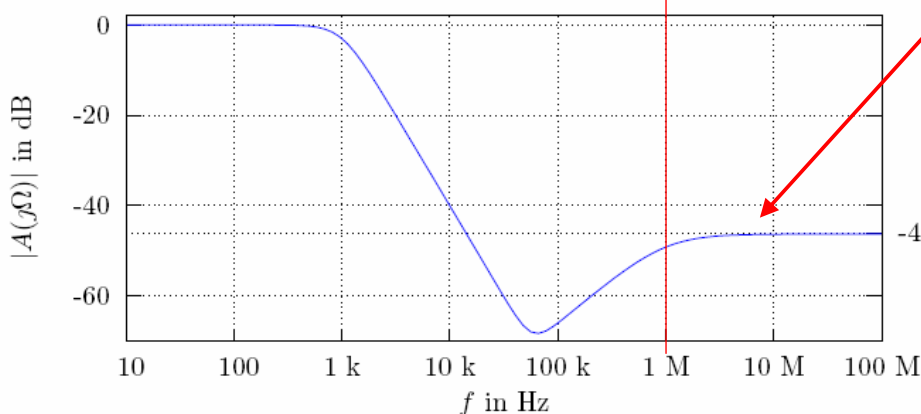


Abbildung 15.12: Frequenzgang eines Sallen-Key-Tiefpassfilters 2. Ordnung: $f_c = 1$ kHz, $G_0 = 1$, $R_1 = 19,8$ k Ω , $R_2 = 2,72$ k Ω , $C_1 = 47$ nF, $C_2 = 10$ nF; Operationsverstärker: $f_T = 1$ MHz, $r_{OL} = 100$ Ω ;
 $\frac{r_{OL}}{R_1 + r_{OL}} = \frac{100}{19,8 \text{ k} + 100} \approx 0,005 \approx -46$ dB

8.5.2 Tiefpassfilter

(Wiederholung)

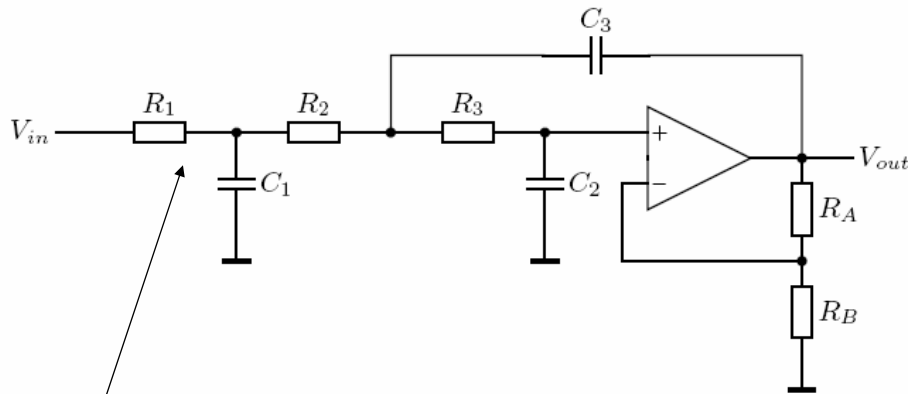


Abbildung 8.21: Erweiterung zum Filter 3. Ordnung

$$G(s) = \frac{k}{1 + k_1 s + k_2 s^2 + k_3 s^3} \quad (8.41)$$

$$k_1 = (R_1 + R_2 + R_3)C_3 + R_1 C_1 + (R_1 + R_2)C_2(1 - k) \quad (8.42)$$

$$k_2 = R_1 R_2 C_1 C_2(1 - k) + (R_1 C_1(R_2 + R_3) + R_2 C_2(R_1 + R_3))C_3 \quad (8.43)$$

$$k_3 = R_1 R_2 R_3 C_1 C_2 C_3 \quad (8.44)$$

Problem vermeidbar durch vorgeschaltetes, passives RC-Filter!

8.5.2 Tiefpassfilter

(Wiederholung)

Merfachgegenkopplung

$$G(s) = \frac{-\frac{R_2}{R_1}}{1 + C_1 \left(R_2 + R_3 + \frac{R_2 R_3}{R_1} \right) s + R_1 R_2 C_1 C_2 s^2} \quad (8.45)$$

Koeffizientenvergleich für verschiedene Filtercharakteristiken (siehe Gleichung 8.32):

$$k = -\frac{R_2}{R_1} \quad (8.46)$$

$$a = \omega_c C_1 \left(R_2 + R_3 + \frac{R_2 R_3}{R_1} \right) \quad (8.47)$$

$$b = \omega_c^2 R_1 R_2 C_1 C_2 \quad (8.48)$$

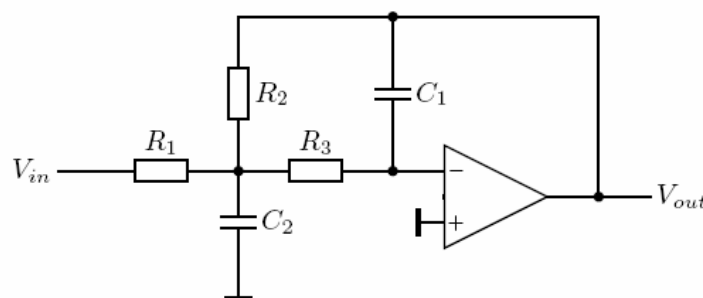
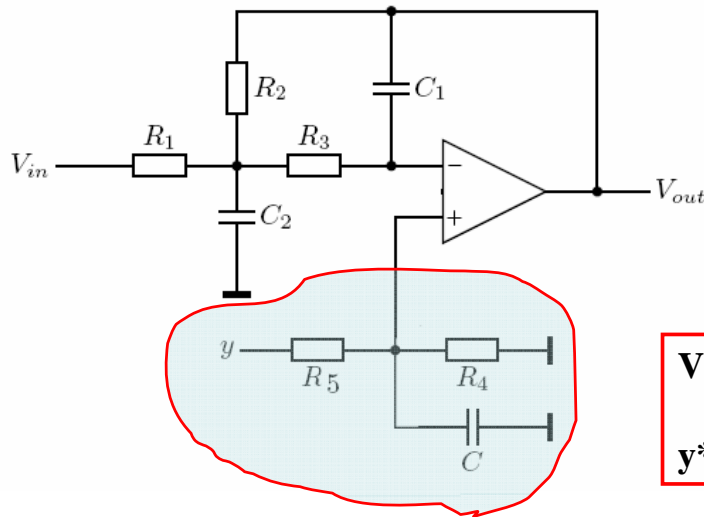


Abbildung 8.23: Filter 2. Ordnung mit Mehrfachgegenkopplung

Kombination von Filter und Pegelanpassung



Vout: DC-Verschiebung um:
 $y \cdot \frac{R_4}{(R_4 + R_5)} \cdot (1 + \frac{R_2}{R_1})$

Filtercharakteristiken

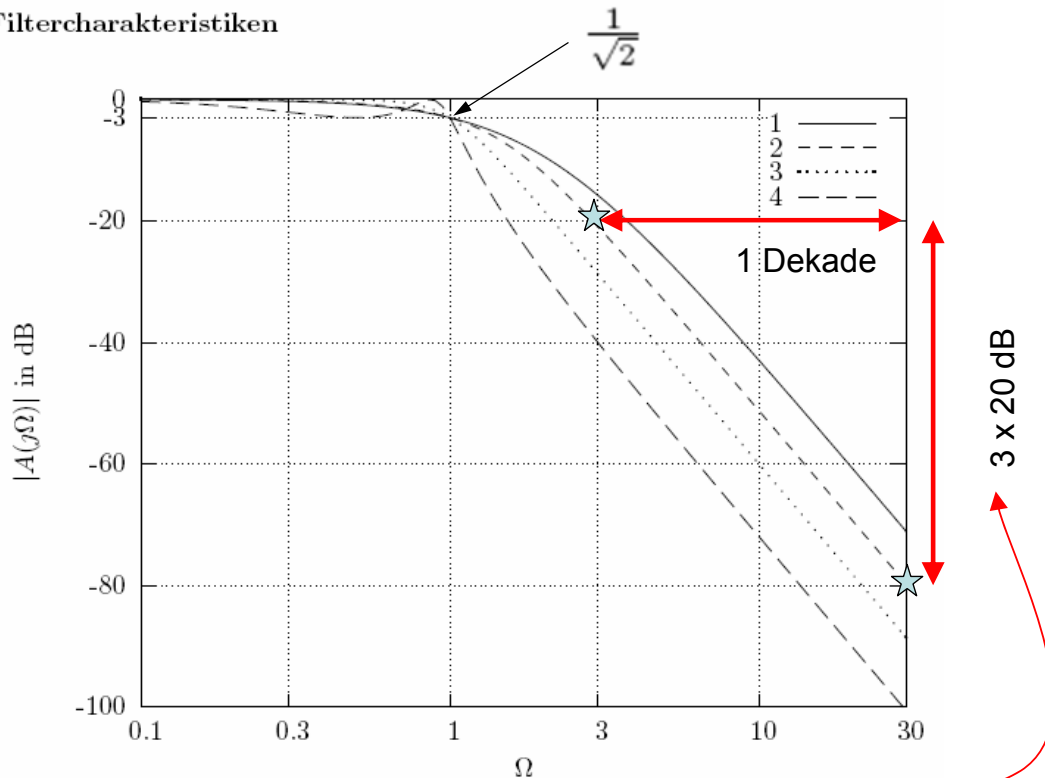


Abbildung 8.26: Filter 3. Ordnung: 1...kritische Dämpfung, 2...Bessel, 3... Butterworth (Potenzfilter), 4... Chebyshev 3dB Welligkeit

Analog/Digital-Umsetzer

Der einfachste ADC ist der 1-Bit ADC. Dieser ist nichts Anderes als ein Komparator und bildet das Kernelement von allen höher auflösenden ADCs.

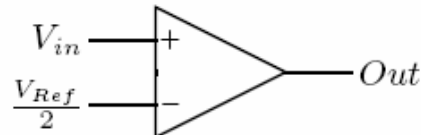


Abbildung 9.1: 1-Bit ADC (Komparator)

1 Schwelle ($V_{ref}/2$) – 2 Bereiche – 1 Bit

9.5.2 Sample-Hold-Eingänge

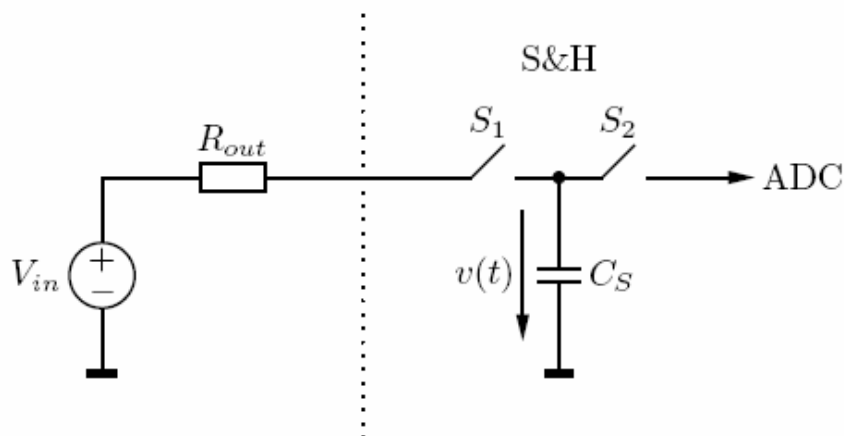


Abbildung 9.27: S&H-Eingang eines ADCs

- S_1 geschlossen: Der Abtastkondensator C_S wird auf die Eingangsspannung V_{in} aufgeladen (Sample). Dieser Vorgang hat eine definierte Dauer T_S .
- S_2 geschlossen: Der Kondensator C_S behält seine Ladung (Hold). Damit bleibt die Eingangsspannung für den ADC während einer Umsetzung konstant.

9 Analog/Digital-Umsetzer

(Wiederholung)

- Eine ausreichende Umladung (auf $\frac{1}{2}LSB = \frac{V_{Ref}}{2^{N+1}}$ genau) des Abtastkondensators muß innerhalb der Zeit T_S durchgeführt werden.
Schlimmster Fall: Umladen von 0 auf V_{Ref} bzw. von V_{Ref} auf 0.

auf $\frac{1}{2}$ LSB genau $\begin{cases} u(t) = V_{Ref} e^{-\frac{t}{R_{out}C_S}} \end{cases}$ (9.16)

$$V_{Ref} e^{-\frac{T_S}{R_{out}C_S}} < \frac{V_{Ref}}{2^{N+1}} \quad (9.17)$$

In anwenden $\begin{cases} R_{out} < \frac{T_S}{C_S(N+1)\ln 2} \end{cases}$ (9.18)

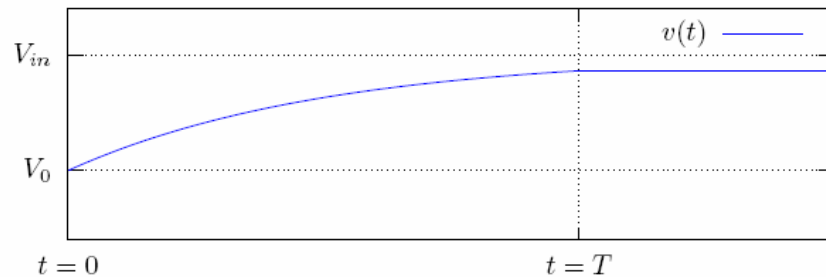


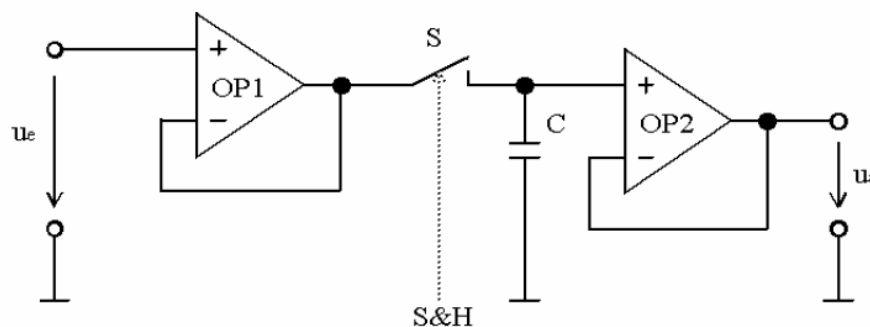
Abbildung 15.16: Exponentieller Umladevorgang

9 Analog/Digital-Umsetzer

(Wiederholung)

Ausführungsbeispiel S&H bzw. T&H

- Prinzipieller Aufbau:



| <u>Impedanzwandler</u> | <u>Speicher</u> | <u>Impedanzwandler</u> |
|--|--|--|
| <ul style="list-style-type: none"> - Quelle soll nicht belastet werden - Hoher Ausgangsstrom, damit Kondensator schnell umgeladen wird | <ul style="list-style-type: none"> - Schalter S geschlossen: Kondensator wird aufgeladen - Gute Isolation ist erforderlich (großer Roff) | <ul style="list-style-type: none"> - Kondensator soll nicht belastet werden, wenn Schalter S geöffnet ist |

9.1 Grundlagen: Parallel-, Wäge- und Zählverfahren

1. Parallelverfahren (Flash converter):

Die Umsetzung erfolgt in einem Arbeitsschritt. Dazu wird die Eingangsgröße gleichzeitig mit allen möglichen Quantisierungsintervallen verglichen.

Eigenschaften: sehr schnell (Videofrequenzen), aufwendig, geringere Auflösung.

2. Wägeverfahren (Successive approximation):

Pro Arbeitsschritt wird ein Bit des Ergebnisses gebildet. Damit benötigt eine Umsetzung $\lg N$ Arbeitsschritte.

Eigenschaften: geringer Aufwand, Kompromiß zwischen Auflösung und Geschwindigkeit.

3. Integrierende Verfahren und Zählverfahren:

Hier wird eine innere Referenzgröße in Kombination mit der Zeit als Gewicht verwendet. Bei den heute verwendeten Verfahren wird auch gleichzeitig die Eingangsgröße integriert.

Eigenschaften: langsam, hohe Auflösung, hohe Linearität, Mittelung der Eingangsgröße.

9 Analog/Digital-Umsetzer

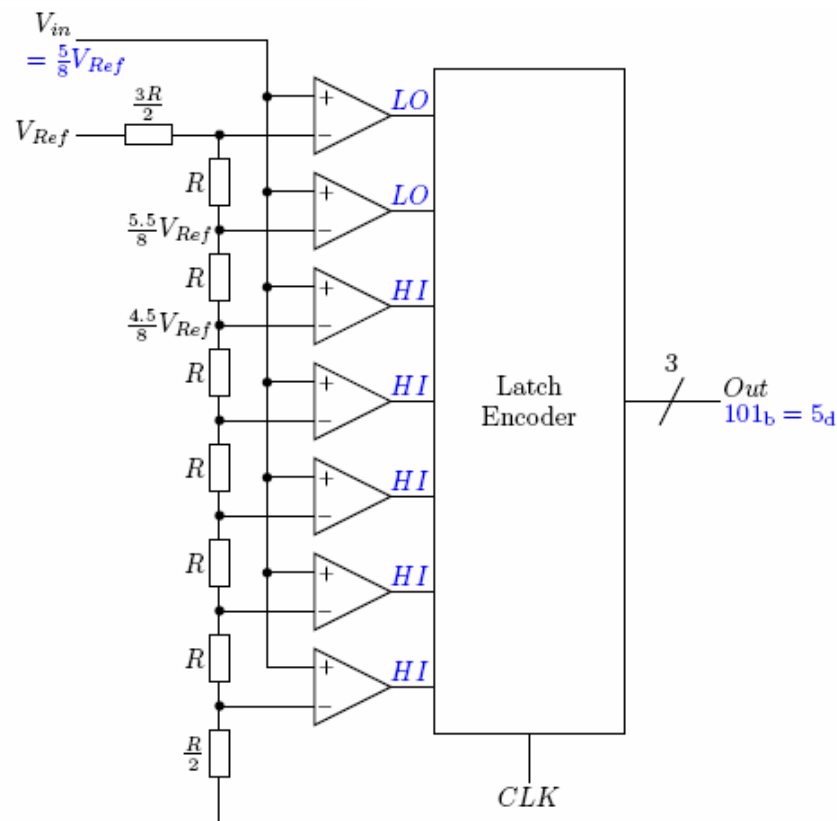


Abbildung 14.3: 3-Bit Parallelumsetzer (*Flash Converter*)

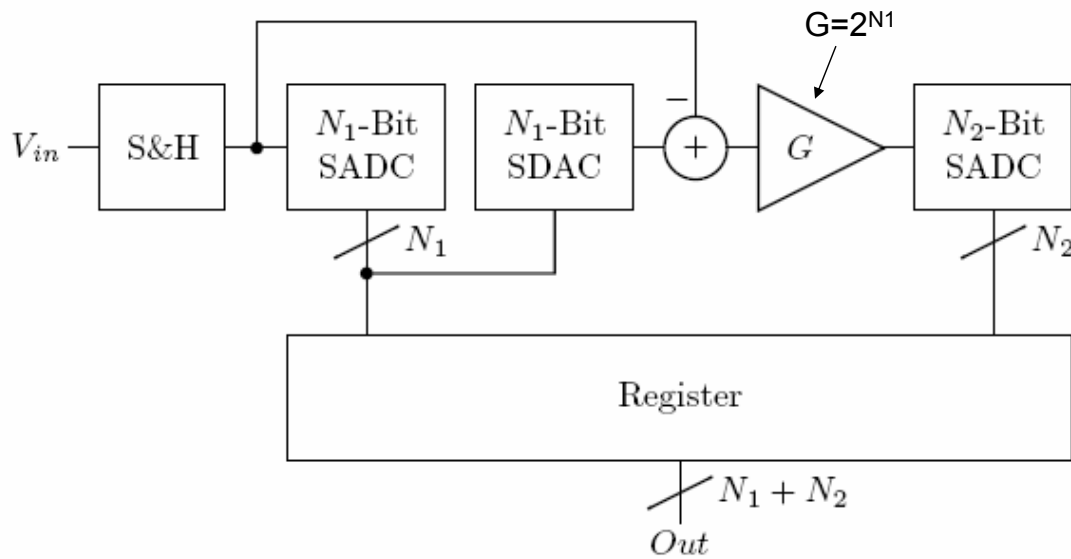


Abbildung 9.3: $(N_1 + N_2)$ -Bit Kaskadenumsetzer (Subranging ADC)

9 Analog/Digital-Umsetzer

- S&H... Sample & Hold, konstantes Eingangssignal während der Umsetzung.
- SADC, SDAC... Sub-ADC, Sub-DAC.
- Aufteilen in einen Grob- ($SADC_1$) und einen Feinquantisierer ($SADC_2$).
- Eingangssignal des Verstärkers: Quantisierungsfehler von $SADC_1$ (Fehlersignal, residue signal).
- Ausgangssignal des Verstärkers: Verstärkter Quantisierungsfehler ($G = 2^{N_1}$) zur Anpassung an den Eingangsspannungsbereich von $SADC_2$.
- $SADC_2$: Feinquantisierung des Quantisierungsfehlers von $SADC_1$.
- Weniger Komparatoren als beim Flash-ADC: $2^{N_1} + 2^{N_2} - 2$ (6-Bit ADC aus 3-Bit SADCs: $2^3 + 2^3 - 2 = 14$, Parallelumsetzer: $2^6 - 1 = 63$).
- Längere Umsetzungszeit: $2 \times$ ADC, $1 \times$ DAC, Subtraktion und Verstärker.
- Kompromiss zwischen Auflösung und Umsetzungszeit.
- Problem: $SADC_1$ muss die volle Linearität ($N_1 + N_2$ Bit) aufweisen, da sonst das Fehlersignal zu groß wird (siehe Abbildung 9.4) und Missing Codes entstehen. Abhilfe: Fehlerkorrektur (siehe Abbildung 9.6).

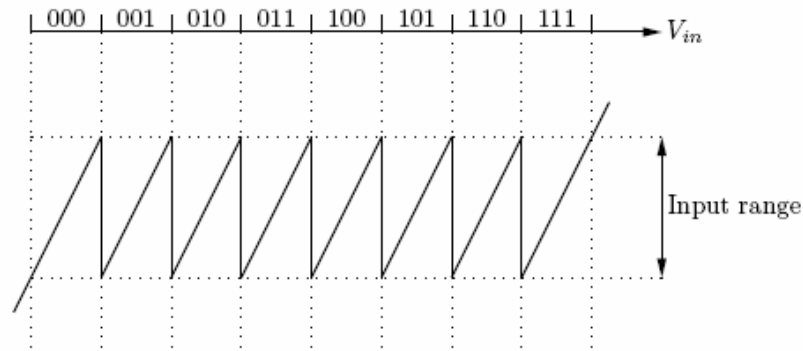


Abbildung 14.5: Fehlersignal R , Grobquantisierer mit voller Linearität

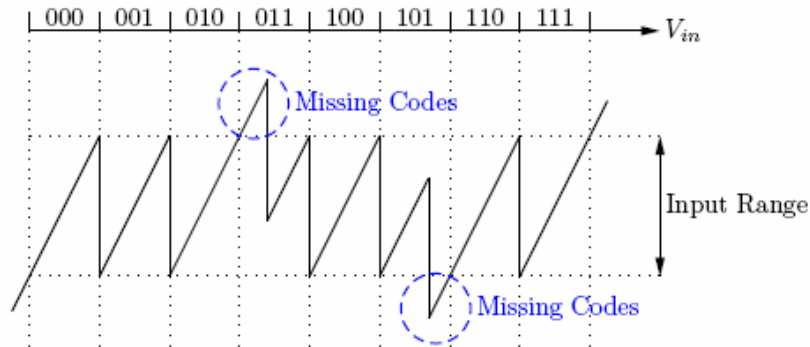


Abbildung 14.6: Fehlersignal, Grobquantisierer ohne volle Linearität

9 Analog/Digital-Umsetzer

Fehlerkorrektur

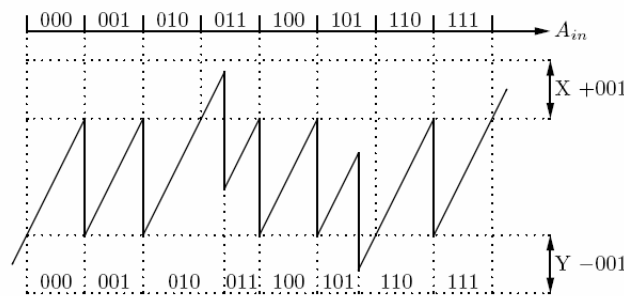


Abbildung 9.5: Prinzip der Fehlerkorrektur beim Kaskadenumsetzer

- Feinquantisierer mit einem zusätzlichen Bit Auflösung und einem Eingangsspannungsbereich von zwei Quantisierungsfehlern ($G = 2^{N_1-1}$).
- SADC₁: N_1 Bit Linearität ist ausreichend, damit das Fehlersignal im Eingangsbereich von SADC₂ bleibt.
- DAC mit voller Linearität für exaktes Fehlersignal.
- Bereich X: Ausgangswert von SADC₁ ist um 1 zu klein $\Rightarrow +001$.
- Bereich Y: Ausgangswert von SADC₁ ist um 1 zu groß $\Rightarrow -001$.
- Nachteil: Addition und Subtraktion.
- Kennlinie um einen halben Quantisierungsschritt verschieben \Rightarrow nur noch bedingte Addition (siehe Abbildung 9.7).
- Komparatoranzahl bei $N_1 = 3$ und $N_2 = 4$: $2^3 + 2^4 - 2 = 22$.

9 Analog/Digital-Umsetzer

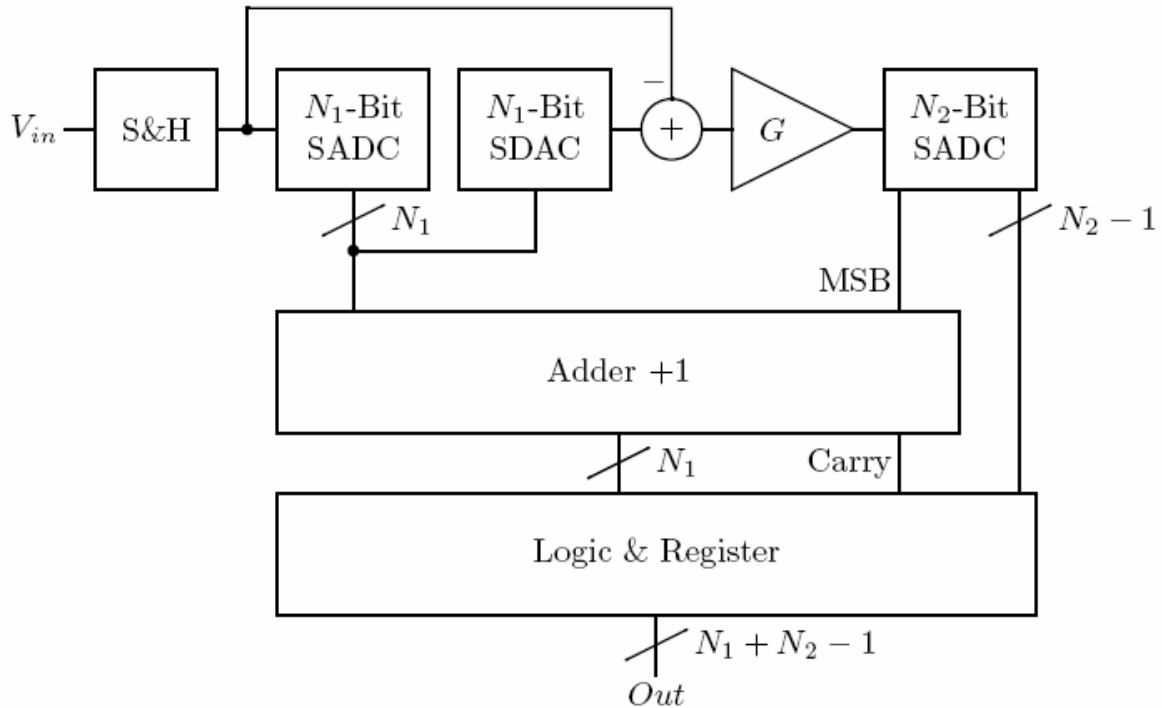


Abbildung 9.6: $(N_1 + N_2 - 1)$ -Bit Kaskadenumsetzer mit Fehlerkorrektur

9 Analog/Digital-Umsetzer

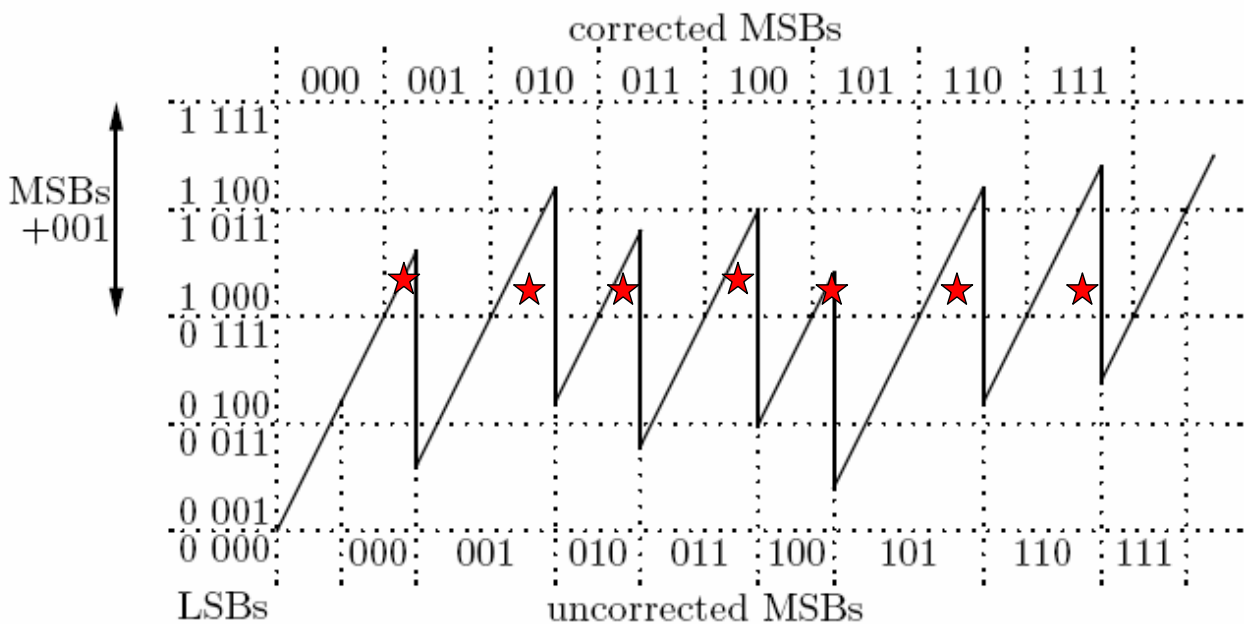


Abbildung 9.7: Fehlerkorrektur beim Kaskadenumsetzer

9 Analog/Digital-Umsetzer

9.2.3 Pipelined ADC

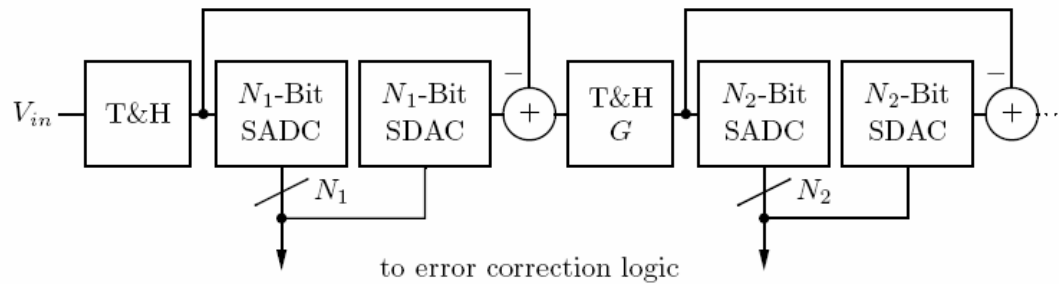
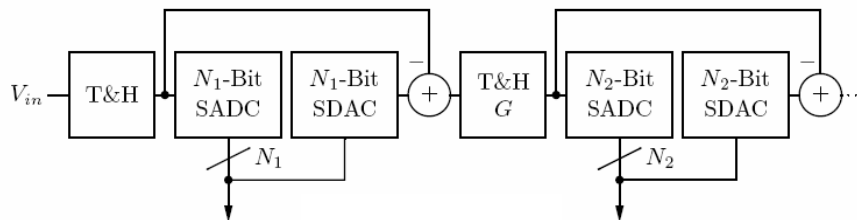


Abbildung 9.8: Pipelined ADC

- Fehlersignal wird gespeichert (T&H... Track & Hold) und verstärkt (G).
- Der SADC₁ kann schon mit einer neuen Umsetzung beginnen während SADC₂ arbeitet (Pipeline-Prinzip).
- Pipeline-Delay: Umsetzung muss durch alle Stufen durch. Größere Verzögerungszeit, aber volle Umsetzungsrate.
- Umsetzungsrate wie ein Parallelumsetzers mit dem Aufwand eines Kaskadenumsetzers.
- Heutzutage verwendete Architektur für (sehr) schnelle ADCs.

9 Analog/Digital-Umsetzer



Fehlerkorrektur, digitale Zwischenspeicherung und Datenausgabe

| | Umsetzung | | | | | | |
|----------|-----------|---|---|---|---|---|-----|
| 1. Stufe | 1 | 2 | 3 | 4 | 5 | 6 | ... |
| 2. Stufe | ? | 1 | 2 | 3 | 4 | 5 | ... |
| 3. Stufe | ? | ? | 1 | 2 | 3 | 4 | ... |
| Ergebnis | ? | ? | ? | 1 | 2 | 3 | ... |

Tabelle 14.1: Dreistufige Pipeline, alle Stufen arbeiten gleichzeitig, jedoch an anderen Umsetzungen

Umsetzung sehr schnell (ähnlich schnell wie Parallel-Umsetzer, allerdings mit Pipeline-Delay; Schaltungsaufwand etwa wie Kaskadenumsetzer; heute schnelle / sehr schnelle ADCs fast ausschließlich in dieser Architektur realisiert.

9 Analog/Digital-Umsetzer

9.3.1 Prinzip des Wägeverfahrens

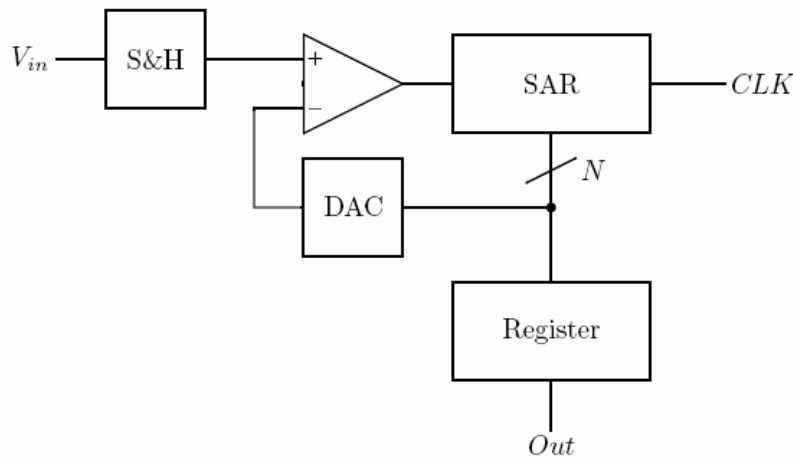


Abbildung 9.9: ADC nach dem Wägeverfahren

- S&H... Sample & Hold, konstantes Eingangssignal während der Umsetzung.
- SAR... Successive Approximation Register.
- Das SAR wertet das Ergebnis des Vergleichs von Eingangsspannung und DAC-Ausgang aus und sucht nach dem Verfahren der Intervallhalbierung (binäre Suche) den binären Wert, der der analogen Eingangsspannung am nächsten ist.

EST 2 / SS 2011 IFE W. Pribyl Seite 27

9 Analog/Digital-Umsetzer

Ablauf des Wägeverfahrens (Successive Approximation)

- Startwert: 2^{N-1} , für 6-Bit ADC $2^{6-1} = 32$ (halbe Referenzspannung).
- $V_{in} > \frac{32}{64} V_{Ref}$: Out=1XXXXX (MSB=1), sonst Out=0XXXXX (MSB=0).
- MSB=0, $V_{in} > \frac{16}{64} V_{Ref}$: Out=01XXXX, sonst Out=00XXXX.
- MSB=1, $V_{in} > \frac{48}{64} V_{Ref}$: Out=11XXXX, sonst Out=10XXXX.
- Bei jedem Vergleich wird ein neues Bit bestimmt \Rightarrow N -Bit ADC benötigt N Vergleiche.
- Beispiele für 6-Bit Wägeverfahren siehe Abbildung 9.10.

9 Analog/Digital-Umsetzer

| Zyklus | DAC | Komparator | V_{in} im Intervall | Ergebnis |
|--------|---------------------|---|---|--|
| 1 | 100000 _b | $\frac{10,5}{64}V_{Ref} < \frac{32}{64}V_{Ref}$ | $\frac{0}{64}V_{Ref} \dots \frac{32}{64}V_{Ref}$ | 0????? _b |
| 2 | 010000 _b | $\frac{10,5}{64}V_{Ref} < \frac{16}{64}V_{Ref}$ | $\frac{0}{64}V_{Ref} \dots \frac{16}{64}V_{Ref}$ | 00???? _b |
| 3 | 001000 _b | $\frac{10,5}{64}V_{Ref} > \frac{8}{64}V_{Ref}$ | $\frac{8}{64}V_{Ref} \dots \frac{16}{64}V_{Ref}$ | 001??? _b |
| 4 | 001100 _b | $\frac{10,5}{64}V_{Ref} < \frac{12}{64}V_{Ref}$ | $\frac{8}{64}V_{Ref} \dots \frac{12}{64}V_{Ref}$ | 0010?? _b |
| 5 | 001010 _b | $\frac{10,5}{64}V_{Ref} > \frac{10}{64}V_{Ref}$ | $\frac{10}{64}V_{Ref} \dots \frac{12}{64}V_{Ref}$ | 00101? _b |
| 6 | 001011 _b | $\frac{10,5}{64}V_{Ref} < \frac{11}{64}V_{Ref}$ | $\frac{10}{64}V_{Ref} \dots \frac{11}{64}V_{Ref}$ | 001010_b = 10_d |

Tabelle 14.2: Ablauf des Wägeverfahrens, $V_{in} = \frac{10,5}{64}V_{Ref}$

9 Analog/Digital-Umsetzer

| Zyklus | DAC | Komparator | V_{in} im Intervall | Ergebnis |
|--------|---------------------|---|---|--|
| 1 | 100000 _b | $\frac{45,5}{64}V_{Ref} > \frac{32}{64}V_{Ref}$ | $\frac{32}{64}V_{Ref} \dots \frac{64}{64}V_{Ref}$ | 1????? _b |
| 2 | 110000 _b | $\frac{45,5}{64}V_{Ref} < \frac{48}{64}V_{Ref}$ | $\frac{32}{64}V_{Ref} \dots \frac{48}{64}V_{Ref}$ | 10???? _b |
| 3 | 101000 _b | $\frac{45,5}{64}V_{Ref} > \frac{40}{64}V_{Ref}$ | $\frac{40}{64}V_{Ref} \dots \frac{48}{64}V_{Ref}$ | 101??? _b |
| 4 | 101100 _b | $\frac{45,5}{64}V_{Ref} > \frac{44}{64}V_{Ref}$ | $\frac{44}{64}V_{Ref} \dots \frac{48}{64}V_{Ref}$ | 1011?? _b |
| 5 | 101110 _b | $\frac{45,5}{64}V_{Ref} < \frac{46}{64}V_{Ref}$ | $\frac{44}{64}V_{Ref} \dots \frac{46}{64}V_{Ref}$ | 10110? _b |
| 6 | 101101 _b | $\frac{45,5}{64}V_{Ref} > \frac{45}{64}V_{Ref}$ | $\frac{45}{64}V_{Ref} \dots \frac{46}{64}V_{Ref}$ | 101101_b = 45_d |

Tabelle 14.3: Ablauf des Wägeverfahrens, $V_{in} = \frac{45,5}{64}V_{Ref}$

9 Analog/Digital-Umsetzer

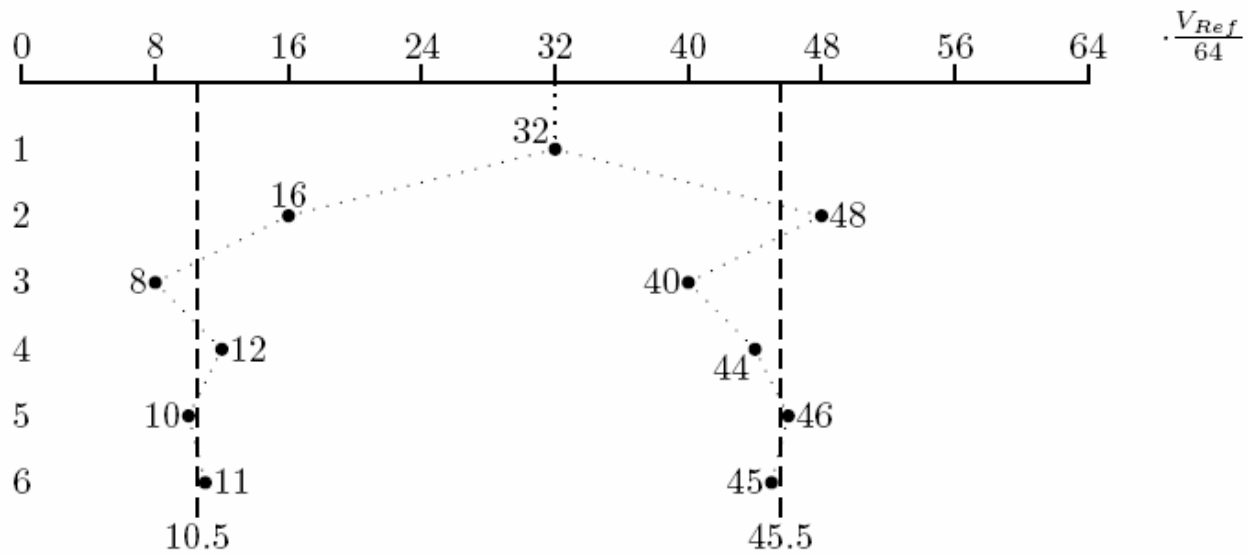


Abbildung 9.10: 6-Bit Wägeverfahren mit den Eingangsspannungen von $\frac{10.5}{64}V_{Ref}$ und $\frac{45.5}{64}V_{Ref}$

9 Analog/Digital-Umsetzer

9.3.2 Wägeverfahren mit SC-Prinzip

Mit geschalteten Kapazitäten (Switched Capacitor) lassen sich die S&H-Stufe und der DAC kombinieren.

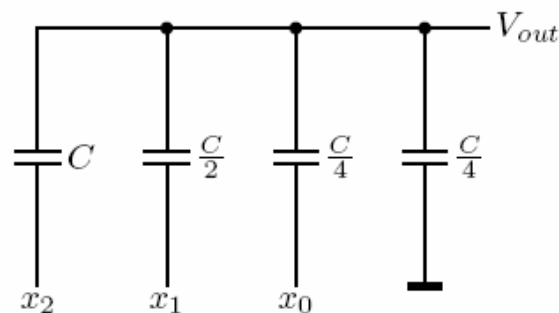


Abbildung 9.11: 3-Bit DAC mit dual gewichteten Kapazitäten

- Annahme: Die Eingänge x_2 , x_1 und x_0 sind auf Masse geschaltet, alle Kapazitäten sind entladen, $V_{out} = 0$.

9 Analog/Digital-Umsetzer

- Annahme: Die Eingänge x_2 , x_1 und x_0 sind auf Masse geschaltet, alle Kapazitäten sind entladen, $V_{out} = 0$.

- x_2 wird auf V_{Ref} geschaltet: kapazitiver Teiler.

$$V_{out} = \frac{C}{C + \frac{C}{2} + \frac{C}{4} + \frac{C}{4}} V_{Ref} = \frac{V_{Ref}}{2}$$

- x_2 wieder auf Masse schalten: $V_{out} = 0$.

- $x_1 = 0 \rightarrow V_{Ref}$: $V_{out} = \frac{\frac{C}{2}}{2C} V_{Ref} = \frac{V_{Ref}}{4}$,
 $x_1 = V_{Ref} \rightarrow 0$: $V_{out} = 0$.

- $x_0 = 0 \rightarrow V_{Ref}$: $V_{out} = \frac{\frac{C}{4}}{2C} V_{Ref} = \frac{V_{Ref}}{8}$,
 $x_0 = V_{Ref} \rightarrow 0$: $V_{out} = 0$.

- Überlagerung:

$$V_{out} = \frac{x_2}{2} + \frac{x_1}{4} + \frac{x_0}{8} \quad (9.1)$$

9 Analog/Digital-Umsetzer

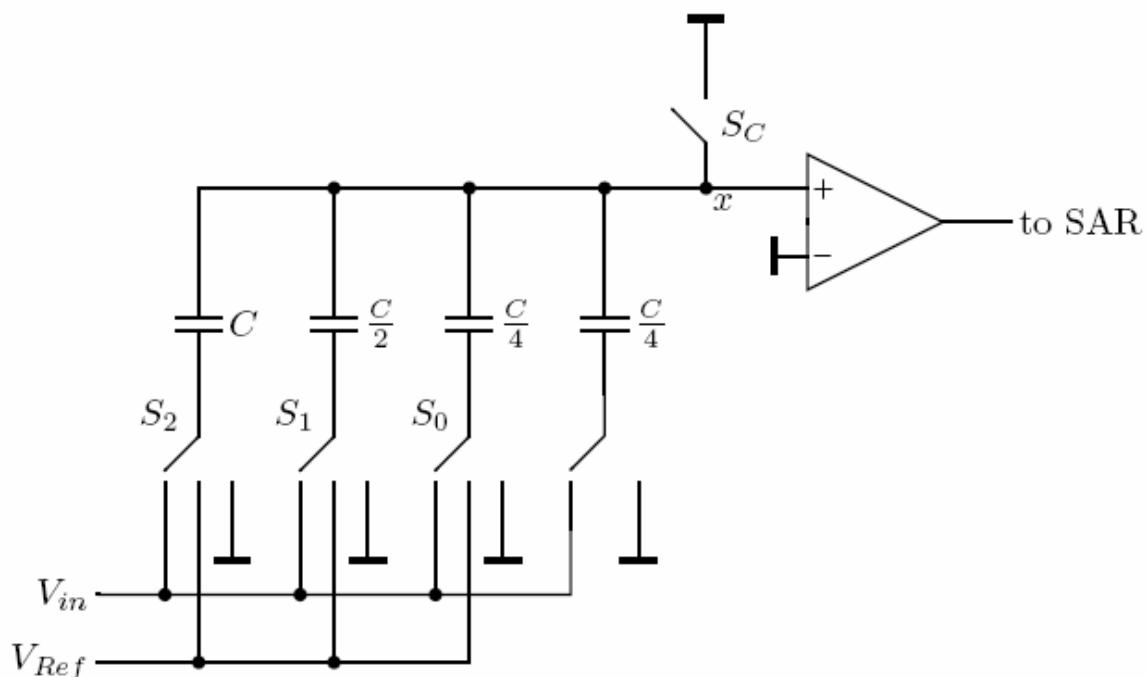


Abbildung 9.12: S&H-Stufe und DAC kombiniert

9 Analog/Digital-Umsetzer

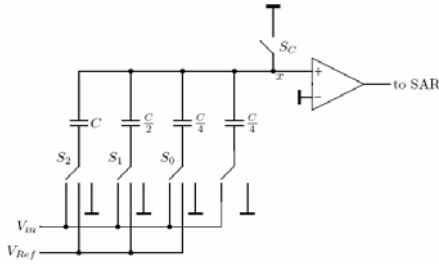


Abbildung 9.12: S&H-Stufe und DAC kombiniert

1. S_C geschlossen ($x = 0$), die restlichen Schalter sind auf V_{in} geschaltet, die Kapazitäten werden auf $-V_{in}$ geladen. Danach wird S_C wieder geöffnet und bleibt während der gesamten Umsetzung geöffnet.
2. Gedanklicher Zwischenschritt: Alle Schalter außer S_C werden auf Masse geschaltet, $x = -V_{in}$.
3. MSB testen: S_2 auf V_{Ref} , restliche Schalter auf Masse: $x = \frac{V_{Ref}}{2} - V_{in}$.
4. $x < 0$ entspricht $\frac{V_{Ref}}{2} < V_{in} \Rightarrow$ MSB ist bestimmt.
5. MSB=1: Schalter S_2 bleibt auf V_{Ref} , MSB=0: Schalter S_2 wieder auf Masse und $x = -V_{in}$.
6. Nächstes Bit: $\frac{V_{Ref}}{4}$ dazuaddieren, testen und eventuell wieder wegnehmen.
7. Letztes Bit: $\frac{V_{Ref}}{8}$ dazuaddieren, testen und eventuell wieder wegnehmen.

9 Analog/Digital-Umsetzer

9.4 Integrierende Verfahren

9.4.1 Unterdrückung periodischer Störungen durch Mittelwertbildung

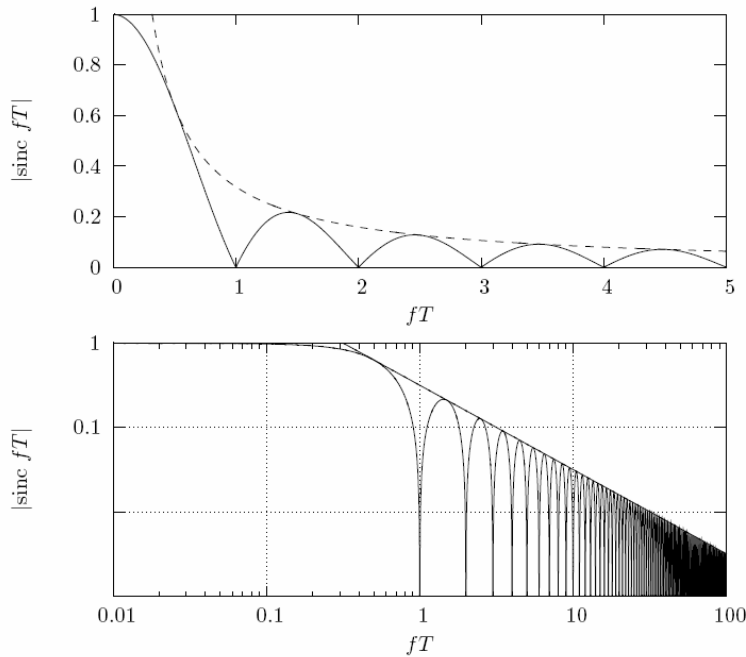
- Periodische Störung (Frequenz f , Amplitude A): $x(t) = A \cos 2\pi ft$.
- Mittelwertbildung der Eingangsgröße $x(t)$ über die Zeitraum T :

$$\bar{x} = \frac{1}{T} \int_t^{t+T} A \cos 2\pi ft dt = \frac{A}{2\pi fT} \sin 2\pi ft \Big|_t^{t+T} = \dots$$

$$\Rightarrow A \frac{|\sin \pi fT|}{\pi fT} = A |\text{sinc } fT| \leq \frac{A}{\pi fT}$$

„sinc-Funktion“

9 Analog/Digital-Umsetzer



| f in Hz | T in ms |
|--------------------------|-----------|
| 50 | 20 |
| 50, 60 | 100 |
| $16\frac{2}{3}$, 50, 60 | 300. |

Abbildung 9.13: $|\text{sinc}fT|$: oben linear, unten logarithmisch

- Störfrequenzen f , die Perioden ganzzahlig in die Mittelungszeit T passen, werden unterdrückt (alle Frequenzen für die gilt: $f \cdot T = n$, $n = 1, 2, 3, \dots$).

9 Analog/Digital-Umsetzer

9.4.2 Zweirampenverfahren

- Die Eingangsspannung wird für eine genau definierte Zeit ($N \cdot T$) aufintegriert.

$$\int_0^{NT} V_{in}(t) dt = NT V_{in} \quad (9.7)$$

- Dann wird die Referenzspannung solange gegenintegriert, bis wieder der Startpunkt (0) erreicht wird ($n \cdot T$).

$$\int_0^{nT} V_{Ref} dt = nT V_{Ref} = NT V_{in} \quad (9.8)$$

$$n = \frac{V_{in}}{V_{Ref}} N \quad (9.9)$$

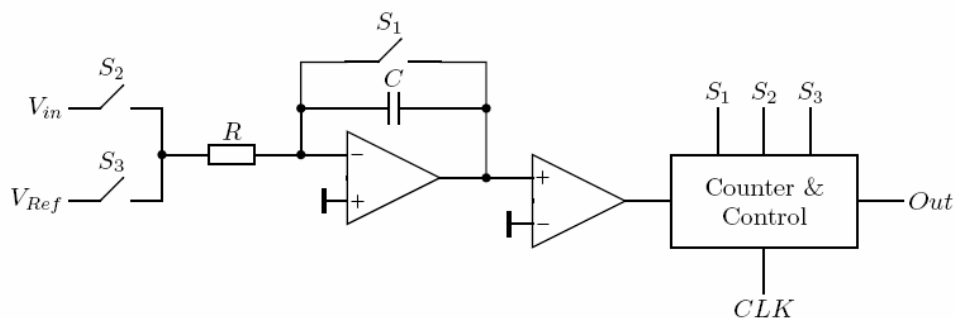
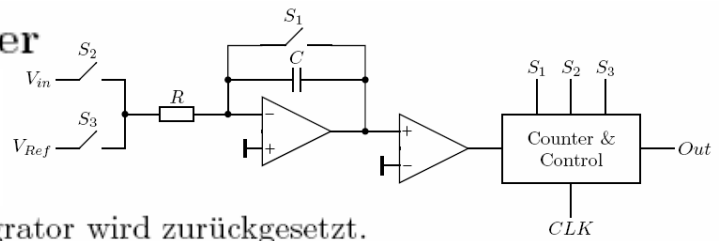


Abbildung 9.14: Zweirampen-ADC

9 Analog/Digital-Umsetzer



1. Nullphase (S_1 geschlossen): Der Integrator wird zurückgesetzt.
2. Messphase (S_2 geschlossen): Die Eingangsspannung V_{in} wird integriert.
3. Referenzphase (S_3 geschlossen): Die (negative) Referenzspannung V_{Ref} wird solange gegenintegriert, bis wieder der Startpunkt erreicht wird.

- Eingangsspannung wird nicht kontinuierlich beobachtet.
- Mittlere Ladung im Kondensator C ist proportional der Eingangsspannung.
- Zeitfehler des Komparators beeinflusst das Ergebnis.
- Dielektrische Absorption beeinträchtigt das Zurücksetzen des Integrators (Kondensator C entladen).
- Jeder Schalter wird nur einmal geschlossen und geöffnet (Zeitfehler unkritisch).

9 Analog/Digital-Umsetzer

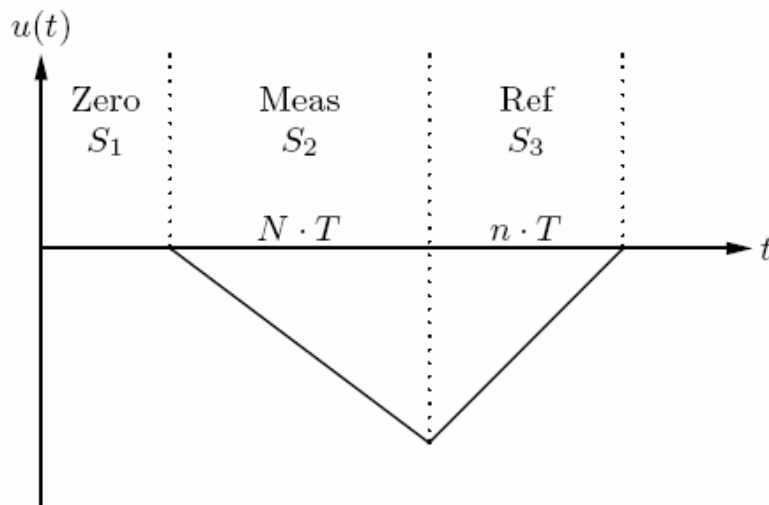


Abbildung 9.15: Ausgangsspannung des Integrators während einer Umsetzung

9 Analog/Digital-Umsetzer

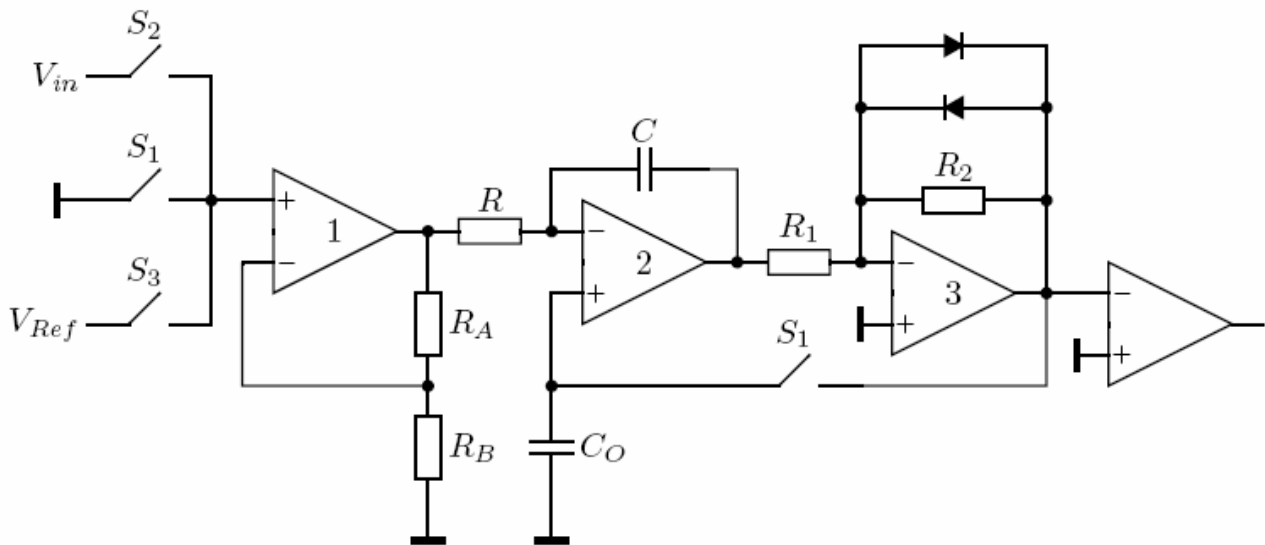
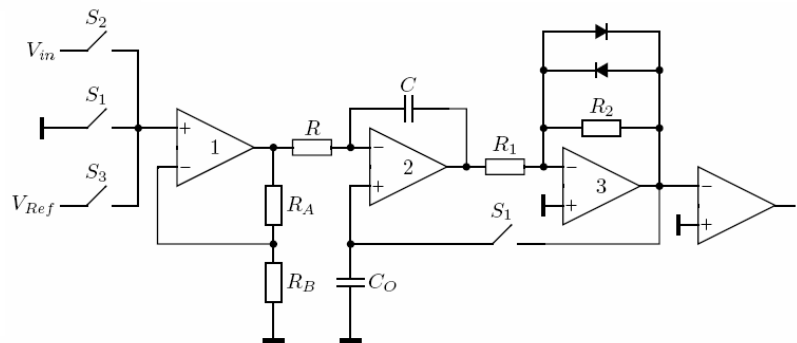


Abbildung 9.16: Zweirampen-ADC mit Eingangsverstärker und automatischen Offsetabgleich

9 Analog/Digital-Umsetzer



- Operationsverstärker ist unkritisch, da die Integrationsrichtung nur einmal umgeschaltet wird.
- Drei Operationsverstärker:
 1. Eingangsverstärker ($A = 1 + \frac{R_A}{R_B}$).
 2. Integrator.
 3. Begrenzerverstärker für steileren Nulldurchgänge am Komparatoreingang.
- Offsetabgleich wenn die Schalter S_1 geschlossen sind: Der Integrator bildet mit dem Begrenzerverstärker einen direkt gegengekoppelten, invertierenden, integrierenden Verstärker. Die Spannung an C_0 wird sich für den Gleichgewichtszustand einstellen \Rightarrow Offsetabgleich.

9 Analog/Digital-Umsetzer

9.4.3 Spannung/Frequenz-Umsetzer

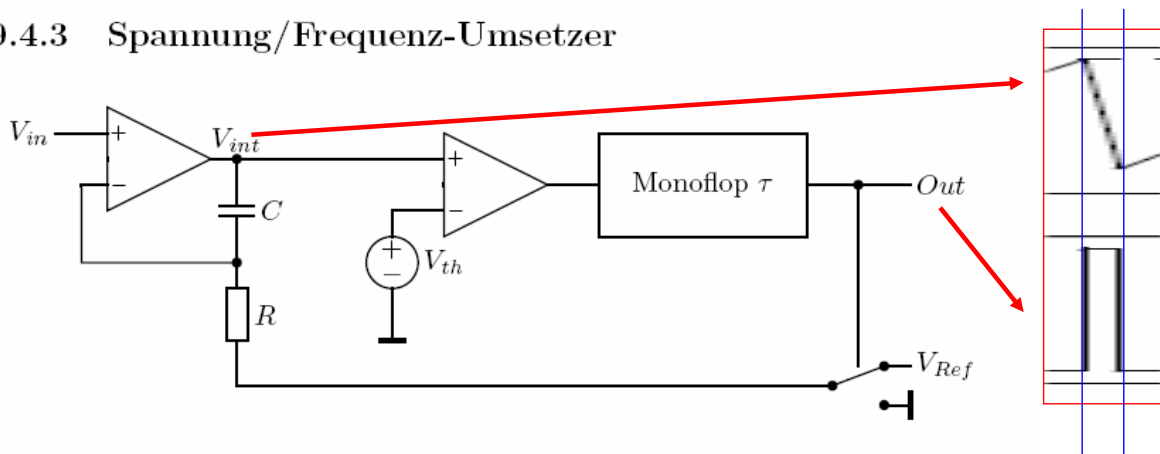
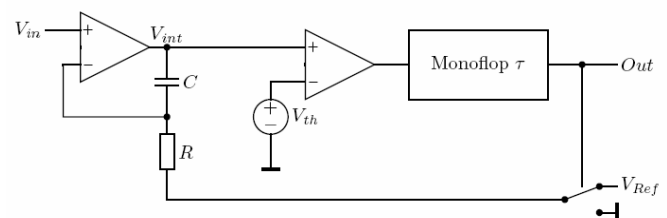


Abbildung 9.17: V/F-Umsetzer

- Die Eingangsspannung V_{in} wird kontinuierlich aufintegriert.

9 Analog/Digital-Umsetzer



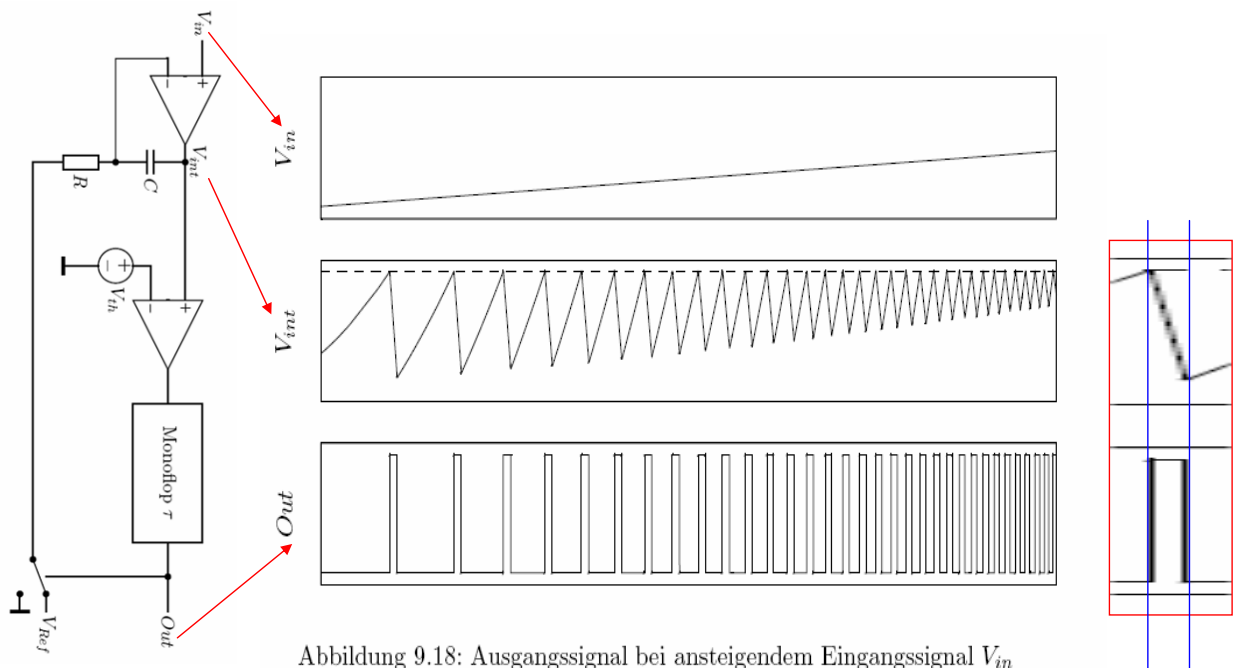
- Die Eingangsspannung V_{in} wird kontinuierlich aufintegriert.
- Sobald die Schwellspannung V_{th} erreicht wird, wird mit dem Monoflop (Eigenzeit τ) eine definierte Ladung ($Q = \frac{\tau V_{ref}}{R}$) aus dem Integrationskondensator C herausgenommen.
- Gleichgewichtsbedingung:

$$V_{int} = \left(1 + \frac{1}{sRC}\right) V_{in} - \frac{1}{sRC} V_{Ref} \tau f = V_{in} + \frac{1}{sRC} (V_{in} - V_{Ref} \tau f) \quad (9.10)$$

$$V_{in} - V_{Ref} \tau f = 0 \Rightarrow f = \frac{V_{in}}{\tau V_{Ref}} \quad (9.11)$$

- Noch zeitkontinuierlich (keine A/D-Umsetzung).
- Genauigkeit wird durch die Eigenzeit τ des Monoflops begrenzt (RC-Zeitkonstante).

9 Analog/Digital-Umsetzer



9 Analog/Digital-Umsetzer

9.4.4 Ladungsausgleichsintegrator

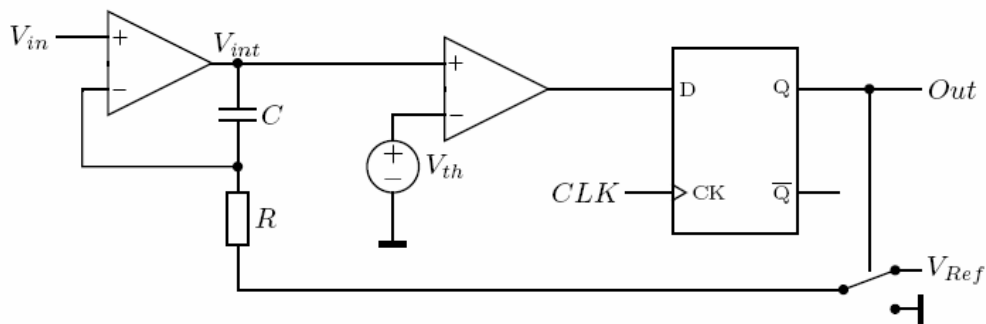


Abbildung 9.19: Ladungsausgleichsintegrator

$$V_{int} = \left(1 + \frac{1}{sRC}\right) V_{in} - \frac{1}{sRC} V_{Ref} d = V_{in} + \frac{1}{sRC} (V_{in} - V_{Ref} d) \Rightarrow \quad (9.12)$$

$$d = \frac{V_{in}}{V_{Ref}} = \frac{n}{N} \quad (9.13)$$

9 Analog/Digital-Umsetzer

- Durch Addieren des gleichen Gewichts ausgezeichnete Linearität.
- Entspricht V/F-Umsetzer mit Synchronisierung auf einen stabilen Takt (Quarz) \Rightarrow zeitdiskret.
- d ...Tastverhältnis (Anzahl der HI -Zyklen am Ausgang Out zur Anzahl der betrachteten Zyklen).
- d stellt sich für den Ladungsausgleich ein (Gleichung 9.13).
- Anzahl der Schaltzyklen n steigt bis $\frac{V_{Ref}}{2}$.
- Anzahl der Schaltzyklen n sinkt ab $\frac{V_{Ref}}{2}$.
- Bis $\frac{V_{Ref}}{2}$ verursacht ein Schaltfehler als Steigungsfehler da $n \propto V_{in}$.
- Mittlere Ladung im Kondensator C ist 0 (Arbeitspunkt nicht berücksichtigt).
- Kontinuierliche Umsetzung (gleitendes Zeitfenster).
- Offset des Operationsverstärkers verursacht einen Nullpunktsfehler im Ergebnis (Offset erscheint zu V_{in} addiert).
- Operationsverstärker ist kritisch (häufiges Umschalten zwischen Auf- und Gegenintegration).
- Schalter wegen häufigem Umschalten kritisch (Störladung bzw. Zeitfehler wenn die ganze Kennlinie genutzt wird).
- Charge Balance ADC = Single-Bit- $\Sigma\Delta$ -ADC erster Ordnung.

EST 2 / SS 2011 IFE W. Pribyl Seite 47

9 Analog/Digital-Umsetzer

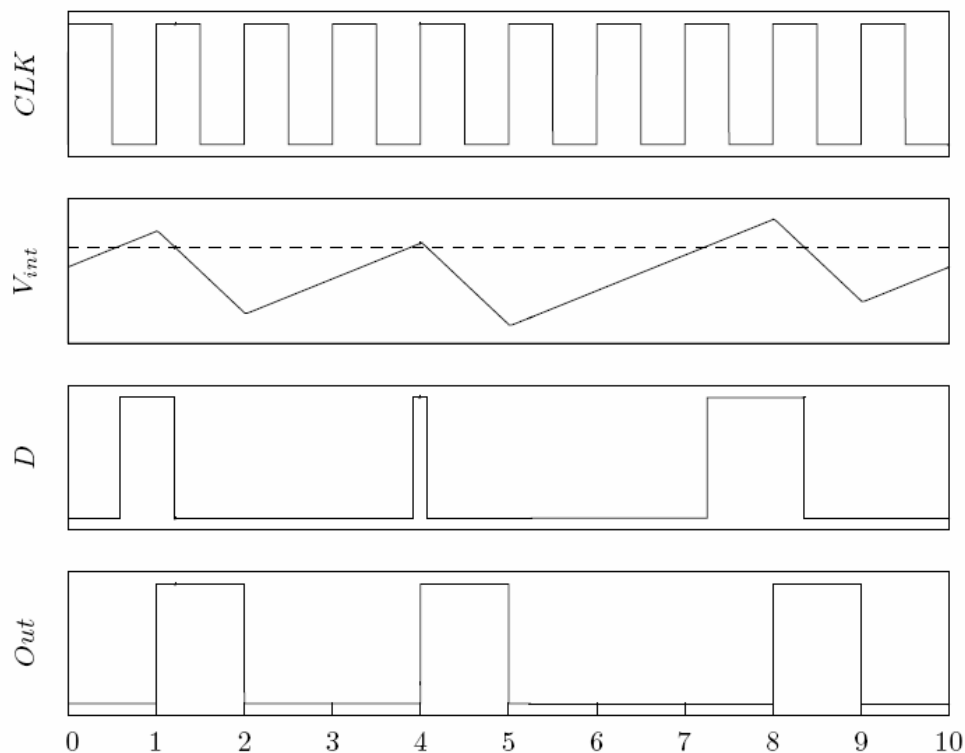


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10} V_{Ref}$)

EST 2 / SS 2011 IFE W. Pribyl Seite 48

9 Analog/Digital-Umsetzer

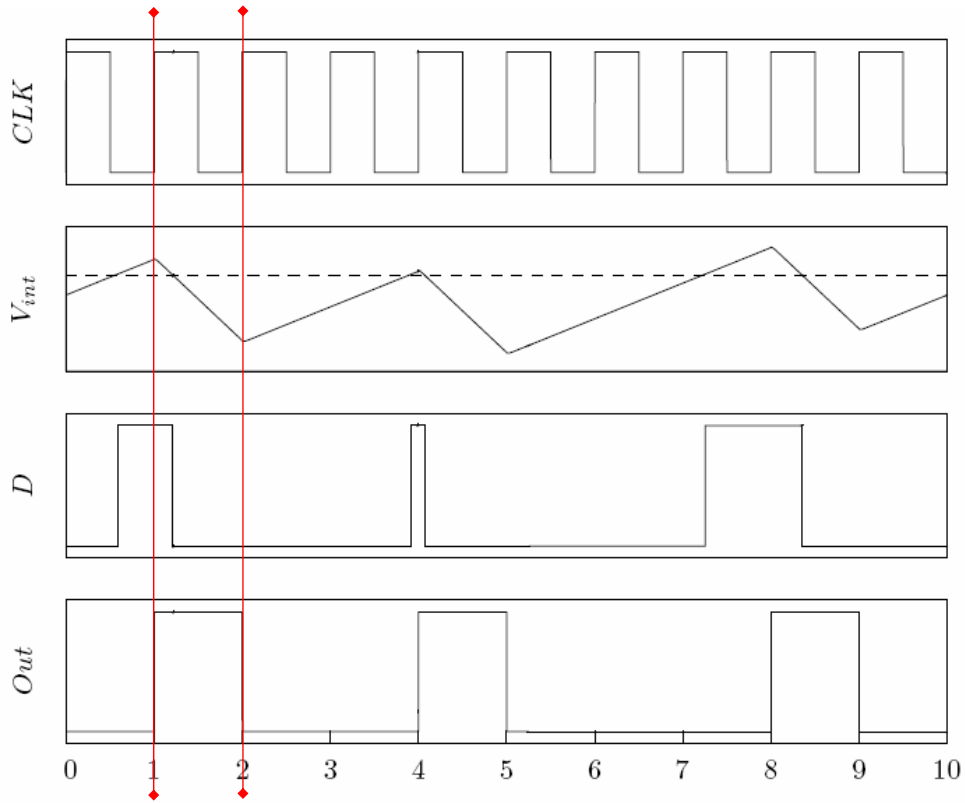


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10}V_{Ref}$)

9 Analog/Digital-Umsetzer

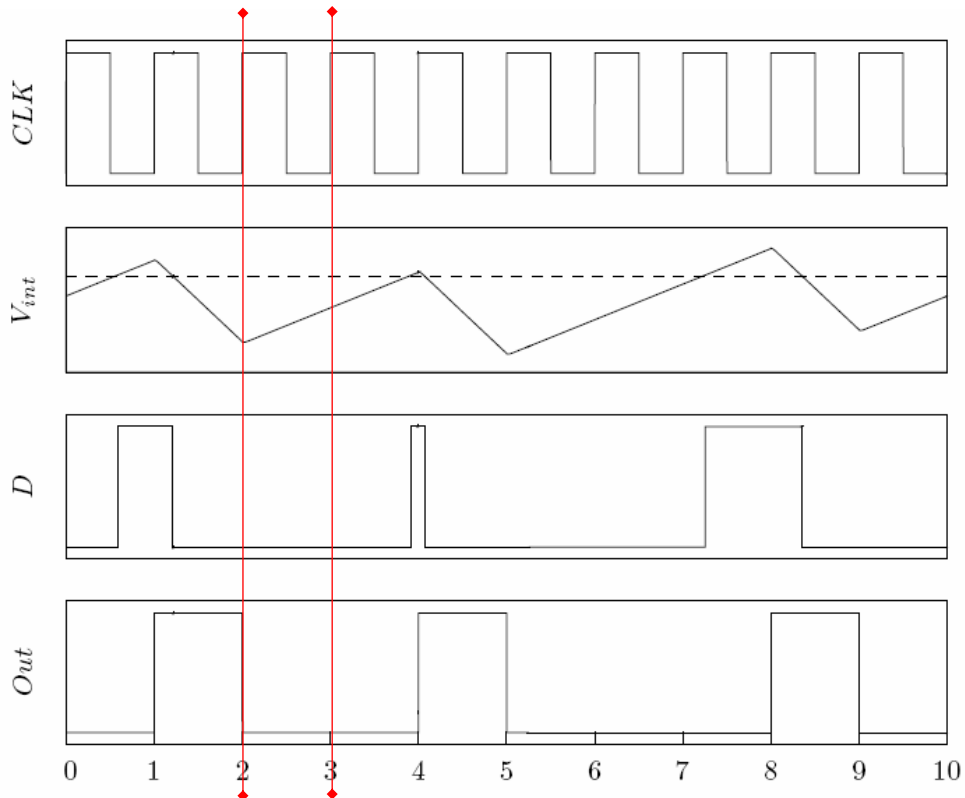


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10}V_{Ref}$)

9 Analog/Digital-Umsetzer

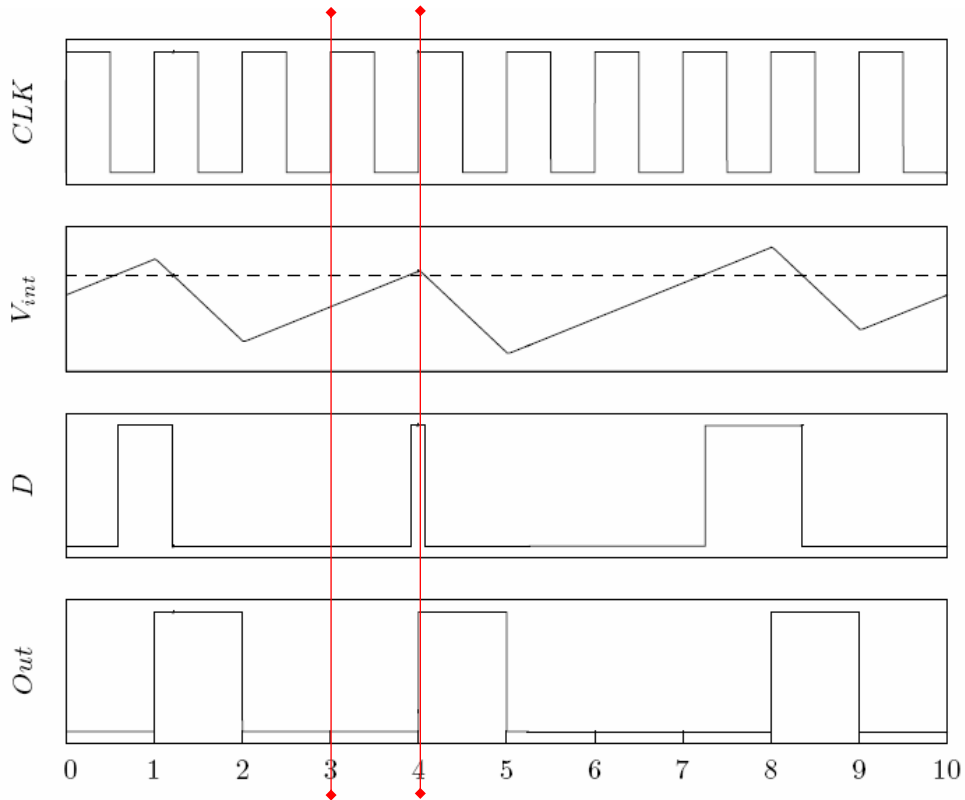


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10}V_{Ref}$)

9 Analog/Digital-Umsetzer

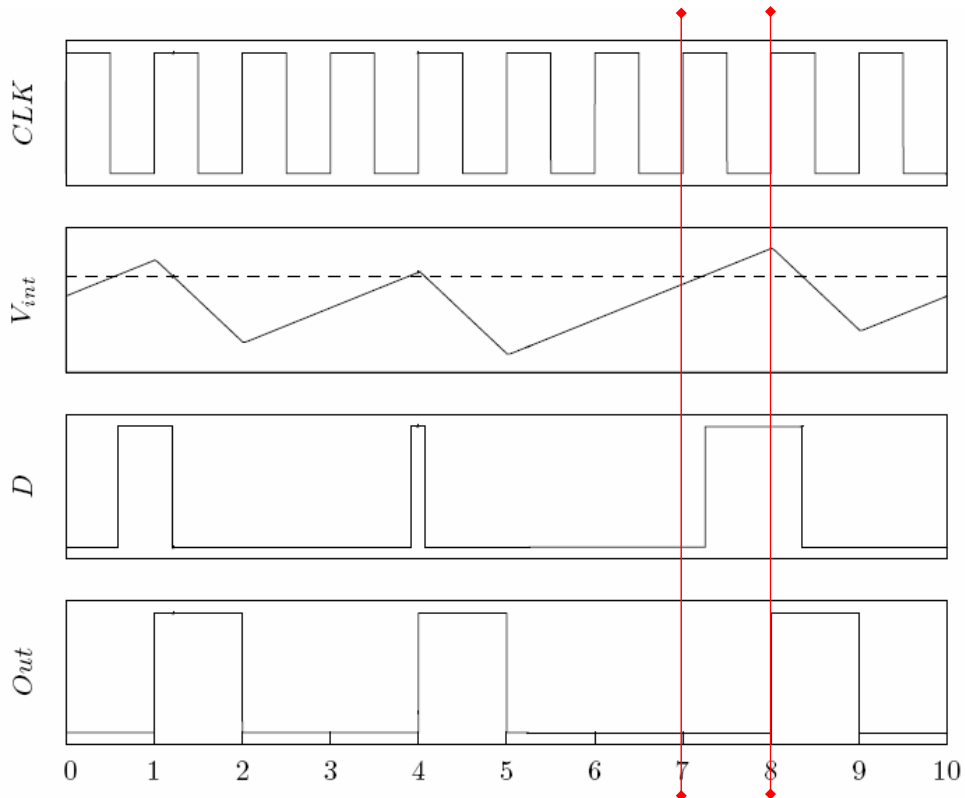


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10}V_{Ref}$)

9 Analog/Digital-Umsetzer

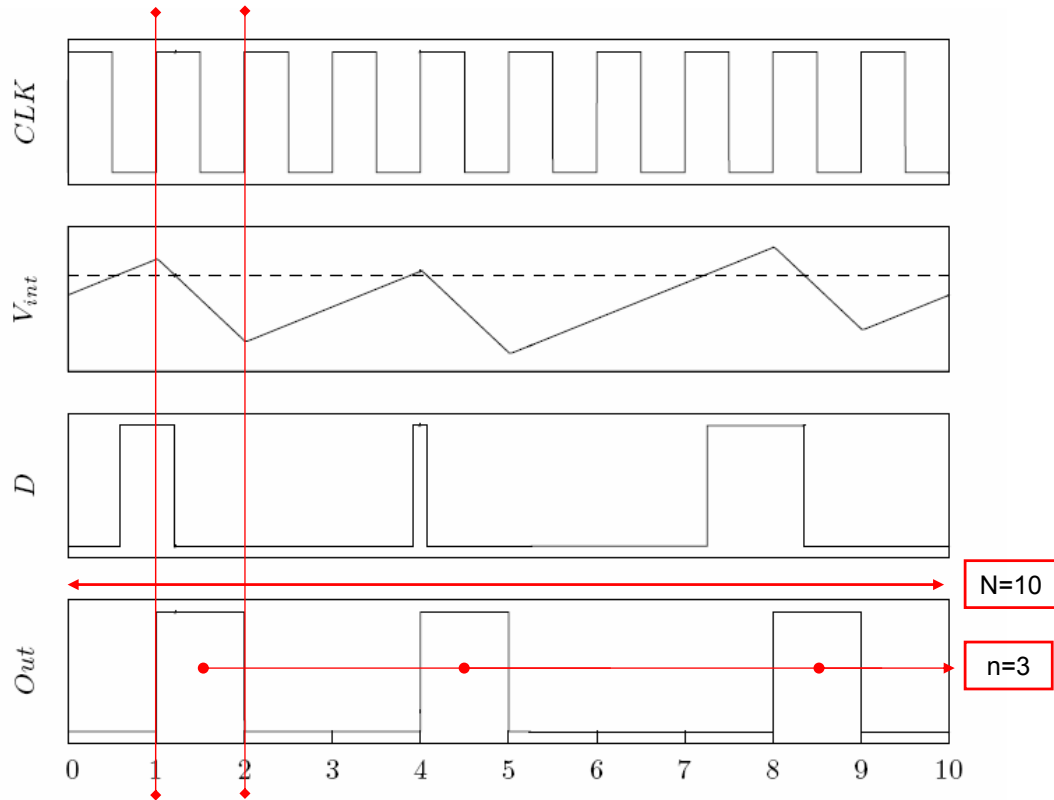


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10}V_{Ref}$)

9 Analog/Digital-Umsetzer

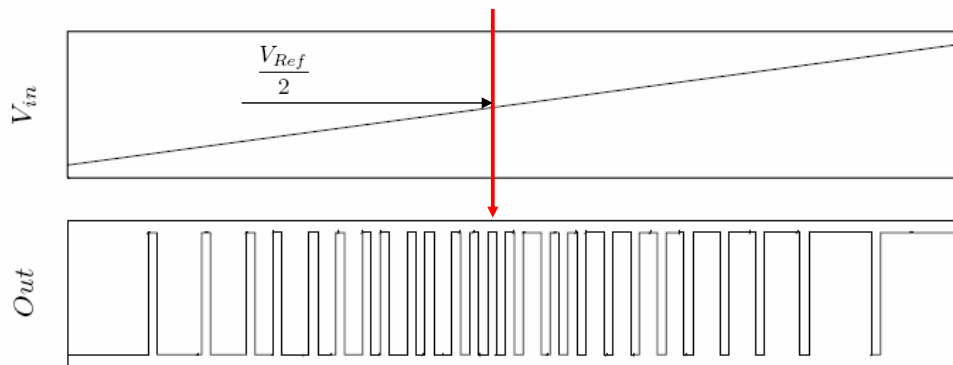


Abbildung 9.21: Ausgangssignal bei ansteigendem Eingangssignal ($V_{in} = 0 \dots V_{Ref}$)

Die Anzahl k der Schaltvorgänge nimmt aber bis zur halben Referenzspannung zu und danach wieder ab.

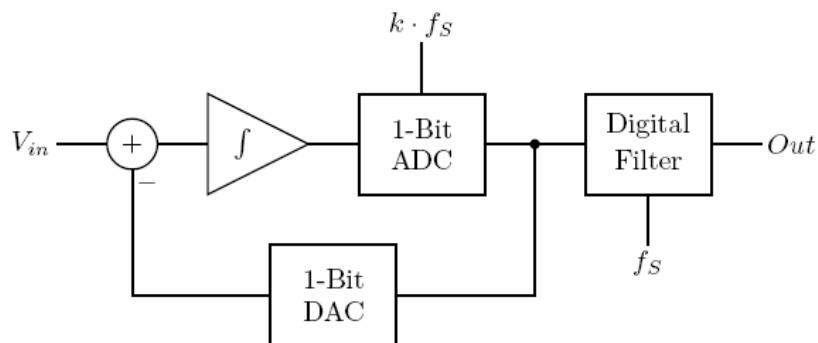
| | | | |
|------|---------------------------------|------|--------------------------------|
| WENN | $V_{in} \leq \frac{V_{Ref}}{2}$ | DANN | $k \propto V_{in}$ |
| WENN | $V_{in} > \frac{V_{Ref}}{2}$ | DANN | $k \propto (V_{Ref} - V_{in})$ |

9 Analog/Digital-Umsetzer

Vorschau:

$\Sigma\Delta$ -ADCs (Sigma-Delta-ADCs)

Die $\Sigma\Delta$ -ADCs arbeiten nach dem Prinzip des Ladungsausgleichs. Dies bedeutet, dass die Differenz zwischen dem Eingangssignal und dem zeit- und wertdiskreten Ausgangssignal integriert wird. Dabei nimmt das Ausgangssignal Werte an, die im Mittel gleich dem Eingangssignal sind. Folglich wird die Differenzintegration im Mittel zu Null werden. Gleichzeitig entspricht es auch nach geeignetem Auszählen bzw. Summieren dem Umsetzungsergebnis.



Single Bit $\Sigma\Delta$ -Umsetzer erster Ordnung (Ladungsausgleichsintegrator)