

Abbildung 9.6: $(N_1 + N_2 - 1)$ -Bit Kaskadenumsetzer mit Fehlerkorrektur

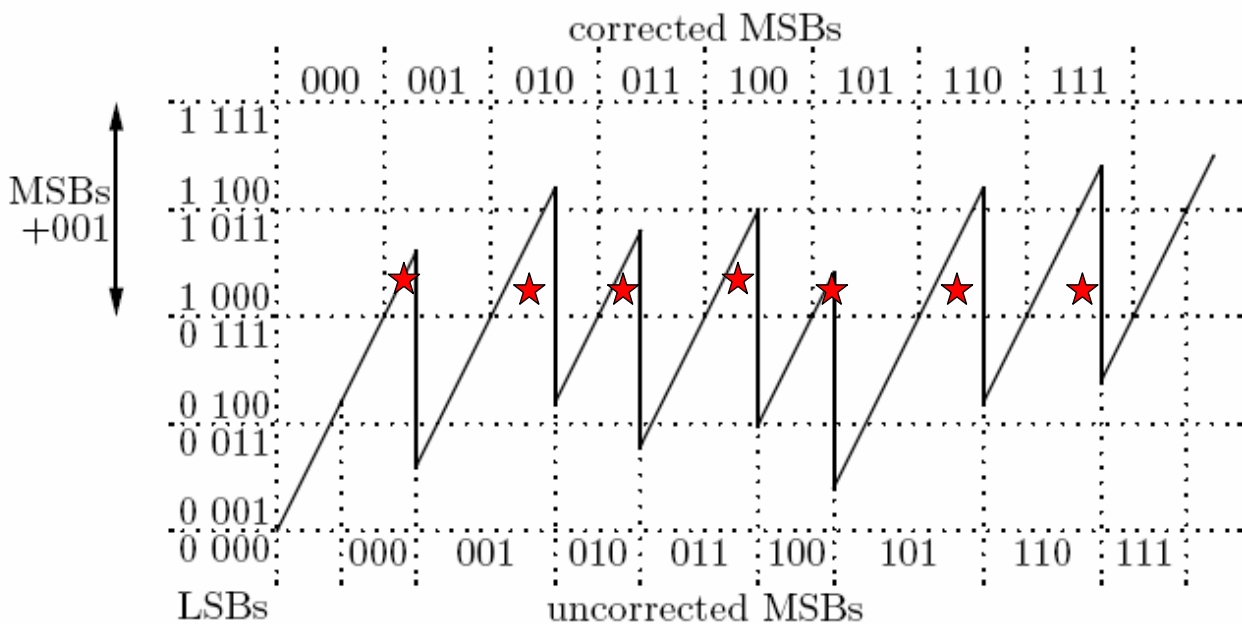


Abbildung 9.7: Fehlerkorrektur beim Kaskadenumsetzer

9 Analog/Digital-Umsetzer

(Wiederholung)

9.2.3 Pipelined ADC

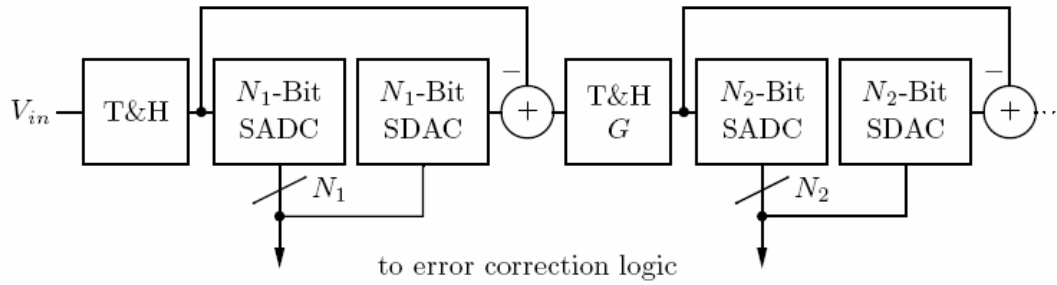
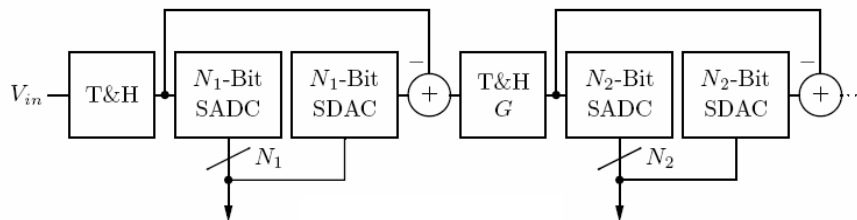


Abbildung 9.8: Pipelined ADC

- Fehlersignal wird gespeichert (T&H... Track & Hold) und verstärkt (G).
- Der SADC₁ kann schon mit einer neuen Umsetzung beginnen während SADC₂ arbeitet (Pipeline-Prinzip).
- Pipeline-Delay: Umsetzung muss durch alle Stufen durch. Größere Verzögerungszeit, aber volle Umsetzungsrate.
- Umsetzungsrate wie ein Parallelumsetzers mit dem Aufwand eines Kaskadenumsetzers.
- Heutzutage verwendete Architektur für (sehr) schnelle ADCs.

9 Analog/Digital-Umsetzer

(Wiederholung)



Fehlerkorrektur, digitale Zwischenspeicherung und Datenausgabe

	Umsetzung					
1. Stufe	1	2	3	4	5	6 ...
2. Stufe	?	1	2	3	4	5 ...
3. Stufe	?	?	1	2	3	4 ...
Ergebnis	?	?	?	1	2	3 ...

Tabelle 14.1: Dreistufige Pipeline, alle Stufen arbeiten gleichzeitig, jedoch an anderen Umsetzungen

Umsetzung sehr schnell (ähnlich schnell wie Parallel-Umsetzer, allerdings mit Pipeline-Delay; Schaltungsaufwand etwa wie Kaskadenumsetzer; heute schnelle / sehr schnelle ADCs fast ausschließlich in dieser Architektur realisiert.

9 Analog/Digital-Umsetzer

9.3.1 Prinzip des Wägeverfahrens

(Wiederholung)

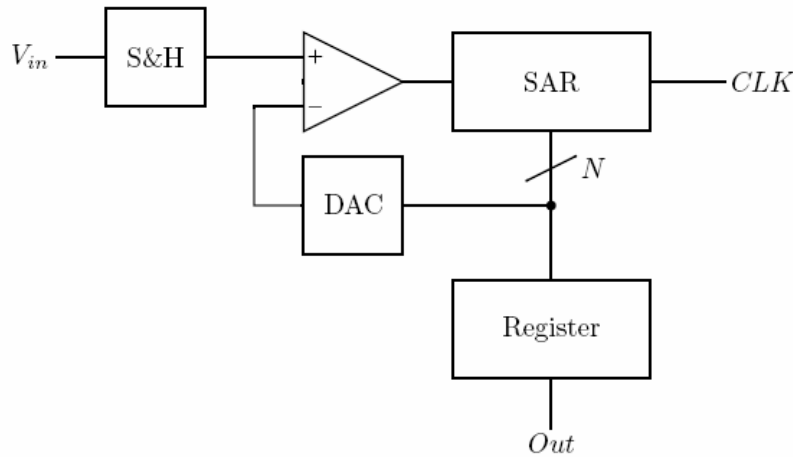


Abbildung 9.9: ADC nach dem Wägeverfahren

- S&H... Sample & Hold, konstantes Eingangssignal während der Umsetzung.
- SAR... Successive Approximation Register.
- Das SAR wertet das Ergebnis des Vergleichs von Eingangsspannung und DAC-Ausgang aus und sucht nach dem Verfahren der Intervallhalbierung (binäre Suche) den binären Wert, der der analogen Eingangsspannung am nächsten ist.

EST 2 / SS 2011 IFE W. Pribyl Seite 5

9 Analog/Digital-Umsetzer

(Wiederholung)

Zyklus	DAC	Komparator	V_{in} im Intervall	Ergebnis
1	100000 _b	$\frac{45,5}{64}V_{Ref} > \frac{32}{64}V_{Ref}$	$\frac{32}{64}V_{Ref} \dots \frac{64}{64}V_{Ref}$	1????? _b
2	110000 _b	$\frac{45,5}{64}V_{Ref} < \frac{48}{64}V_{Ref}$	$\frac{32}{64}V_{Ref} \dots \frac{48}{64}V_{Ref}$	10???? _b
3	101000 _b	$\frac{45,5}{64}V_{Ref} > \frac{40}{64}V_{Ref}$	$\frac{40}{64}V_{Ref} \dots \frac{48}{64}V_{Ref}$	101??? _b
4	101100 _b	$\frac{45,5}{64}V_{Ref} > \frac{44}{64}V_{Ref}$	$\frac{44}{64}V_{Ref} \dots \frac{48}{64}V_{Ref}$	1011?? _b
5	101110 _b	$\frac{45,5}{64}V_{Ref} < \frac{46}{64}V_{Ref}$	$\frac{44}{64}V_{Ref} \dots \frac{46}{64}V_{Ref}$	10110? _b
6	101101 _b	$\frac{45,5}{64}V_{Ref} > \frac{45}{64}V_{Ref}$	$\frac{45}{64}V_{Ref} \dots \frac{46}{64}V_{Ref}$	101101_b = 45_d

Tabelle 14.3: Ablauf des Wägeverfahrens, $V_{in} = \frac{45,5}{64}V_{Ref}$

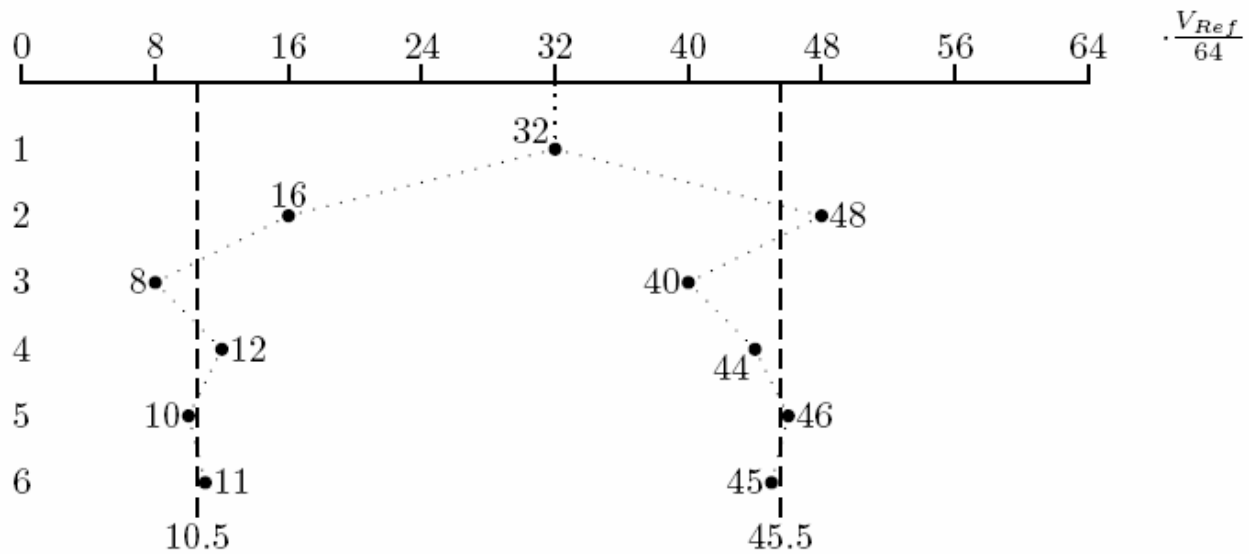


Abbildung 9.10: 6-Bit Wägeverfahren mit den Eingangsspannungen von $\frac{10.5}{64}V_{Ref}$ und $\frac{45.5}{64}V_{Ref}$

- Annahme: Die Eingänge x_2 , x_1 und x_0 sind auf Masse geschaltet, alle Kapazitäten sind entladen, $V_{out} = 0$.

- x_2 wird auf V_{Ref} geschaltet: kapazitiver Teiler.

$$V_{out} = \frac{C}{C + \frac{C}{2} + \frac{C}{4} + \frac{C}{4}} V_{Ref} = \frac{V_{Ref}}{2}$$

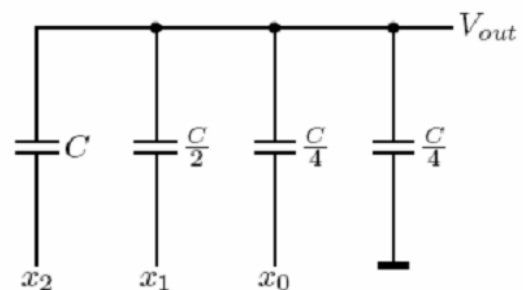
- x_2 wieder auf Masse schalten: $V_{out} = 0$.

- $x_1 = 0 \rightarrow V_{Ref}$: $V_{out} = \frac{C}{2C} V_{Ref} = \frac{V_{Ref}}{4}$,
 $x_1 = V_{Ref} \rightarrow 0$: $V_{out} = 0$.

- $x_0 = 0 \rightarrow V_{Ref}$: $V_{out} = \frac{C}{2C} V_{Ref} = \frac{V_{Ref}}{8}$,
 $x_0 = V_{Ref} \rightarrow 0$: $V_{out} = 0$.

- Überlagerung:

$$V_{out} = \frac{x_2}{2} + \frac{x_1}{4} + \frac{x_0}{8} \tag{9.1}$$



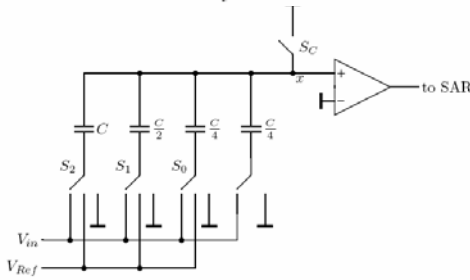


Abbildung 9.12: S&H-Stufe

1. S_C geschlossen ($x = 0$), die restlichen Schalter sind auf V_{in} geschaltet, die Kapazitäten werden auf $-V_{in}$ geladen. Danach wird S_C wieder geöffnet und bleibt während der gesamten Umsetzung geöffnet.
2. Gedanklicher Zwischenschritt: Alle Schalter außer S_C werden auf Masse geschaltet, $x = -V_{in}$.
3. MSB testen: S_2 auf V_{Ref} , restliche Schalter auf Masse: $x = \frac{V_{Ref}}{2} - V_{in}$.
4. $x < 0$ entspricht $\frac{V_{Ref}}{2} < V_{in} \Rightarrow$ MSB ist bestimmt.
5. MSB=1: Schalter S_2 bleibt auf V_{Ref} , MSB=0: Schalter S_2 wieder auf Masse und $x = -V_{in}$.
6. Nächstes Bit: $\frac{V_{Ref}}{4}$ dazuaddieren, testen und eventuell wieder wegnehmen.
7. Letztes Bit: $\frac{V_{Ref}}{8}$ dazuaddieren, testen und eventuell wieder wegnehmen.

9.4 Integrierende Verfahren

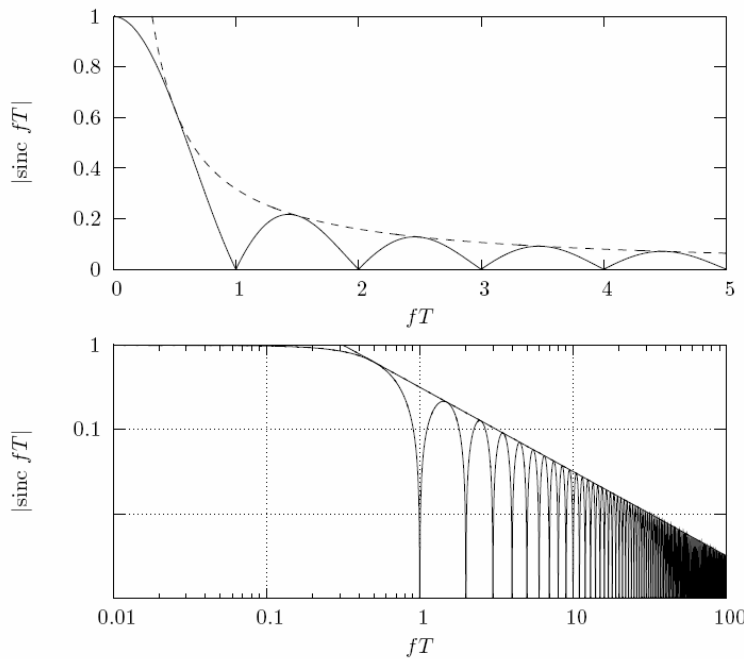
9.4.1 Unterdrückung periodischer Störungen durch Mittelwertbildung

- Periodische Störung (Frequenz f , Amplitude A): $x(t) = A \cos 2\pi ft$.
- Mittelwertbildung der Eingangsgröße $x(t)$ über die Zeitraum T :

$$\bar{x} = \frac{1}{T} \int_t^{t+T} A \cos 2\pi ftdt = \frac{A}{2\pi fT} \sin 2\pi ft \Big|_t^{t+T} = \dots$$

$$\Rightarrow A \frac{|\sin \pi fT|}{\pi fT} = A |\text{sinc } fT| \leq \frac{A}{\pi fT}$$

„sinc-Funktion“

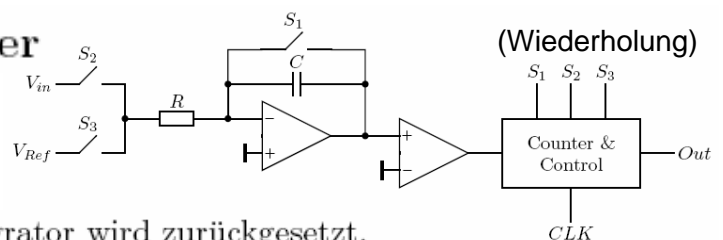


f in Hz	T in ms
50	20
50, 60	100
$16\frac{2}{3}$, 50, 60	300.

Abbildung 9.13: $|\text{sinc}fT|$: oben linear, unten logarithmisch

- Störfrequenzen f , die Perioden ganzzahlig in die Mittelungszeit T passen, werden unterdrückt (alle Frequenzen für die gilt: $f \cdot T = n, n = 1, 2, 3, \dots$).

9 Analog/Digital-Umsetzer



(Wiederholung)

1. Nullphase (S_1 geschlossen): Der Integrator wird zurückgesetzt.
2. Messphase (S_2 geschlossen): Die Eingangsspannung V_{in} wird integriert.
3. Referenzphase (S_3 geschlossen): Die (negative) Referenzspannung V_{Ref} wird solange gegenintegriert, bis wieder der Startpunkt erreicht wird.

- Eingangsspannung wird nicht kontinuierlich beobachtet.
- Mittlere Ladung im Kondensator C ist proportional der Eingangsspannung.
- Zeitfehler des Komparators beeinflusst das Ergebnis.
- Dielektrische Absorption beeinträchtigt das Zurücksetzen des Integrators (Kondensator C entladen).
- Jeder Schalter wird nur einmal geschlossen und geöffnet (Zeitfehler unkritisch).

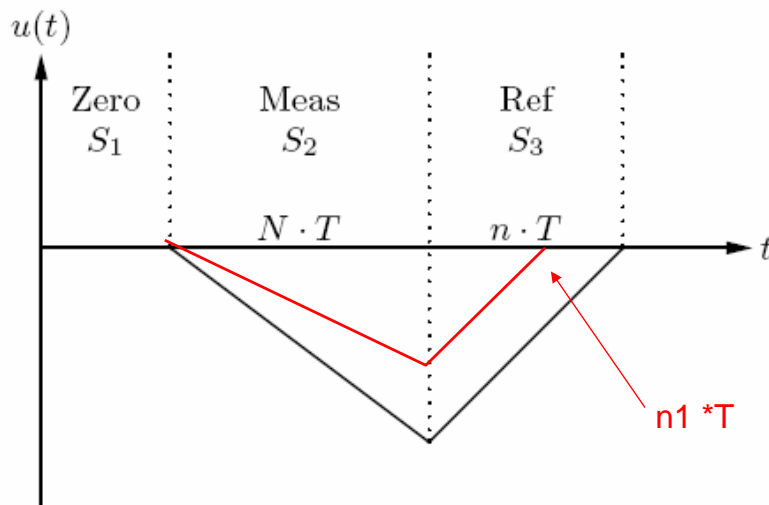
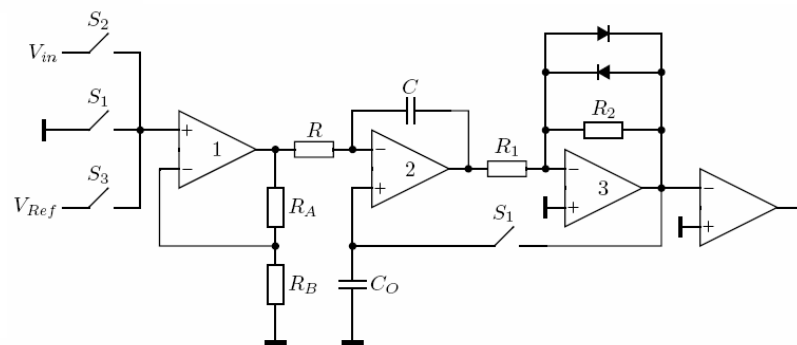


Abbildung 9.15: Ausgangsspannung des Integrators während einer Umsetzung

9 Analog/Digital-Umsetzer



- Operationsverstärker ist unkritisch, da die Integrationsrichtung nur einmal umgeschaltet wird.
- Drei Operationsverstärker:
 1. Eingangverstärker ($A = 1 + \frac{R_A}{R_B}$).
 2. Integrator.
 3. Begrenzerverstärker für steileren Nulldurchgänge am Komparatoreingang.
- Offsetabgleich wenn die Schalter S_1 geschlossen sind: Der Integrator bildet mit dem Begrenzerverstärker einen direkt gegengekoppelten, invertierenden, integrierenden Verstärker. Die Spannung an C_0 wird sich für den Gleichgewichtszustand einstellen \Rightarrow Offsetabgleich.

9.4.3 Spannung/Frequenz-Umsetzer

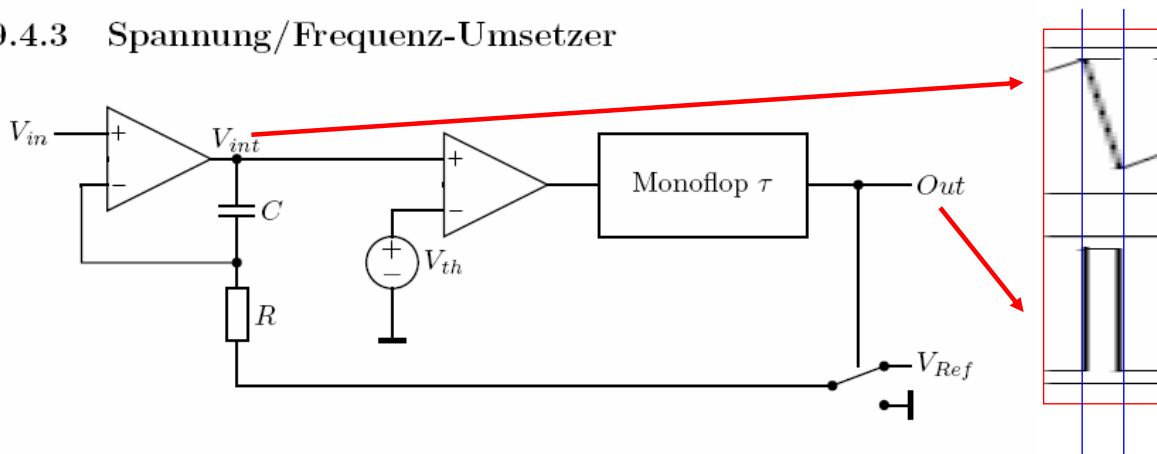
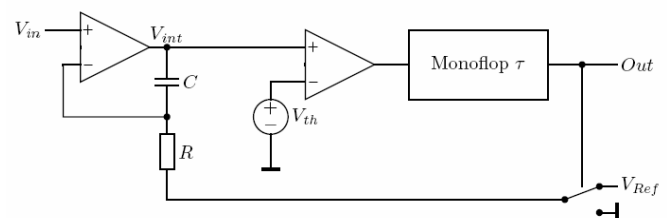


Abbildung 9.17: V/F-Umsetzer

- Die Eingangsspannung V_{in} wird kontinuierlich aufintegriert.

9 Analog/Digital-Umsetzer



- Die Eingangsspannung V_{in} wird kontinuierlich aufintegriert.
- Sobald die Schwellspannung V_{th} erreicht wird, wird mit dem Monoflop (Eigenzeit τ) eine definierte Ladung ($Q = \frac{\tau V_{ref}}{R}$) aus dem Integrationskondensator C herausgenommen.
- Gleichgewichtsbedingung:

$$V_{int} = \left(1 + \frac{1}{sRC}\right) V_{in} - \frac{1}{sRC} V_{Ref} \tau f = V_{in} + \frac{1}{sRC} (V_{in} - V_{Ref} \tau f) \quad (9.10)$$

$$V_{in} - V_{Ref} \tau f = 0 \Rightarrow f = \frac{V_{in}}{\tau V_{Ref}} \quad (9.11)$$

- Noch zeitkontinuierlich (keine A/D-Umsetzung).
- Genauigkeit wird durch die Eigenzeit τ des Monoflops begrenzt (RC-Zeitkonstante).

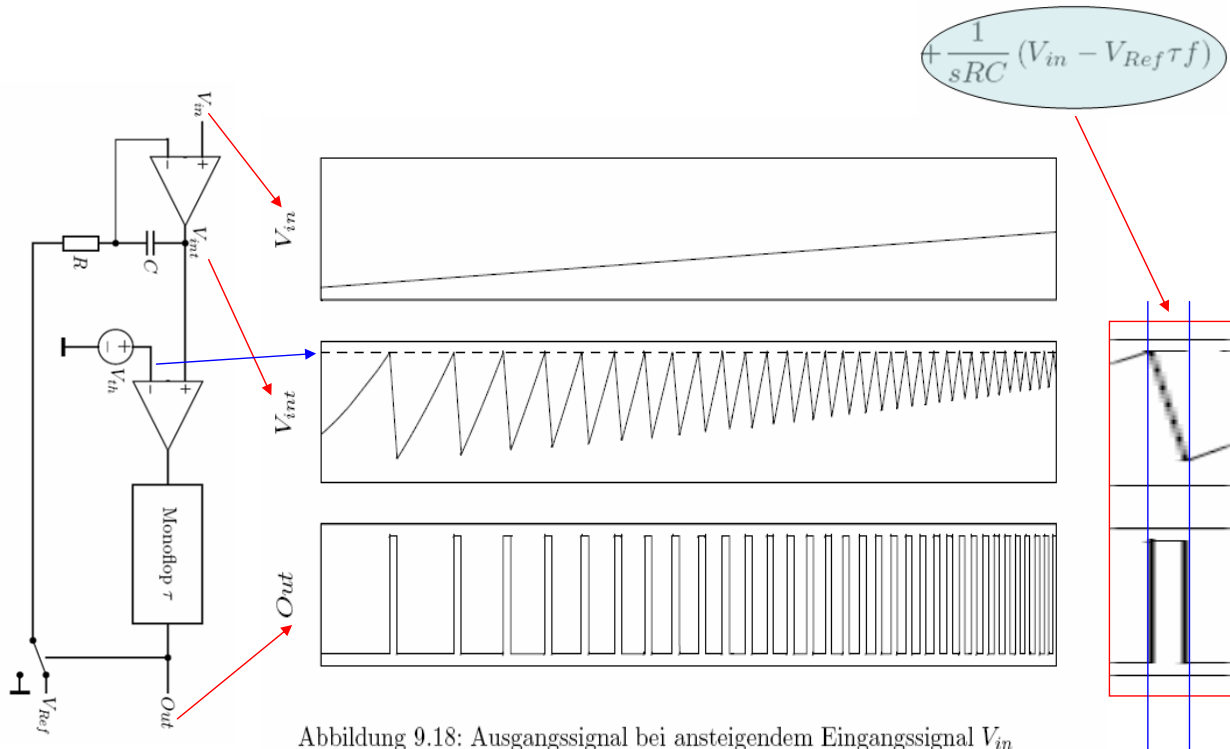


Abbildung 9.18: Ausgangssignal bei ansteigendem Eingangssignal V_{in}

9.4.4 Ladungsausgleichsintegrator

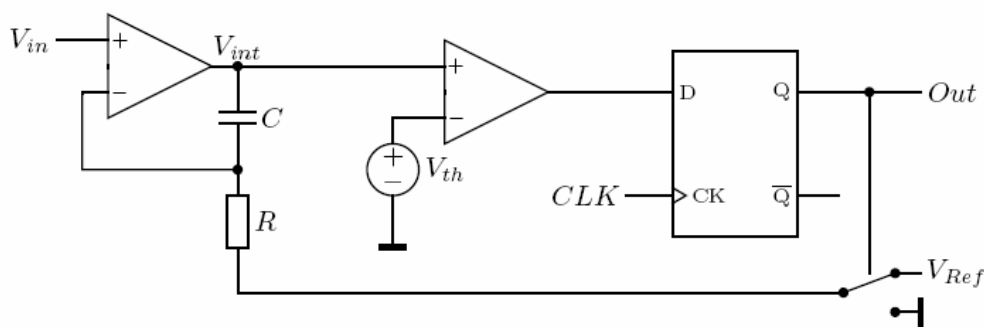


Abbildung 9.19: Ladungsausgleichsintegrator

$$V_{int} = \left(1 + \frac{1}{sRC}\right) V_{in} - \frac{1}{sRC} V_{Ref} d = V_{in} + \frac{1}{sRC} (V_{in} - V_{Ref} d) \Rightarrow \quad (9.12)$$

$$d = \frac{V_{in}}{V_{Ref}} = \frac{n}{N} \quad (9.13)$$

9 Analog/Digital-Umsetzer

(Wiederholung)

- Durch Addieren des gleichen Gewichts ausgezeichnete Linearität.
- Entspricht V/F-Umsetzer mit Synchronisierung auf einen stabilen Takt (Quarz) \Rightarrow zeitdiskret.
- d ...Tastverhältnis (Anzahl der HI -Zyklen am Ausgang Out zur Anzahl der betrachteten Zyklen).
- d stellt sich für den Ladungsausgleich ein (Gleichung 9.13).
- Anzahl der Schaltzyklen n steigt bis $\frac{V_{Ref}}{2}$.
- Anzahl der Schaltzyklen n sinkt ab $\frac{V_{Ref}}{2}$.
- Bis $\frac{V_{Ref}}{2}$ verursacht ein Schaltfehler als Steigungsfehler da $n \propto V_{in}$.
- Mittlere Ladung im Kondensator C ist 0 (Arbeitspunkt nicht berücksichtigt).
- Kontinuierliche Umsetzung (gleitendes Zeitfenster).
- Offset des Operationsverstärkers verursacht einen Nullpunktsfehler im Ergebnis (Offset erscheint zu V_{in} addiert).
- Operationsverstärker ist kritisch (häufiges Umschalten zwischen Auf- und Gegenintegration).
- Schalter wegen häufigem Umschalten kritisch (Störladung bzw. Zeitfehler wenn die ganze Kennlinie genutzt wird).
- Charge Balance ADC = Single-Bit- $\Sigma\Delta$ -ADC erster Ordnung.

EST 2 / SS 2011 IFE W. Pribyl Seite 19

9 Analog/Digital-Umsetzer

(Wiederholung)

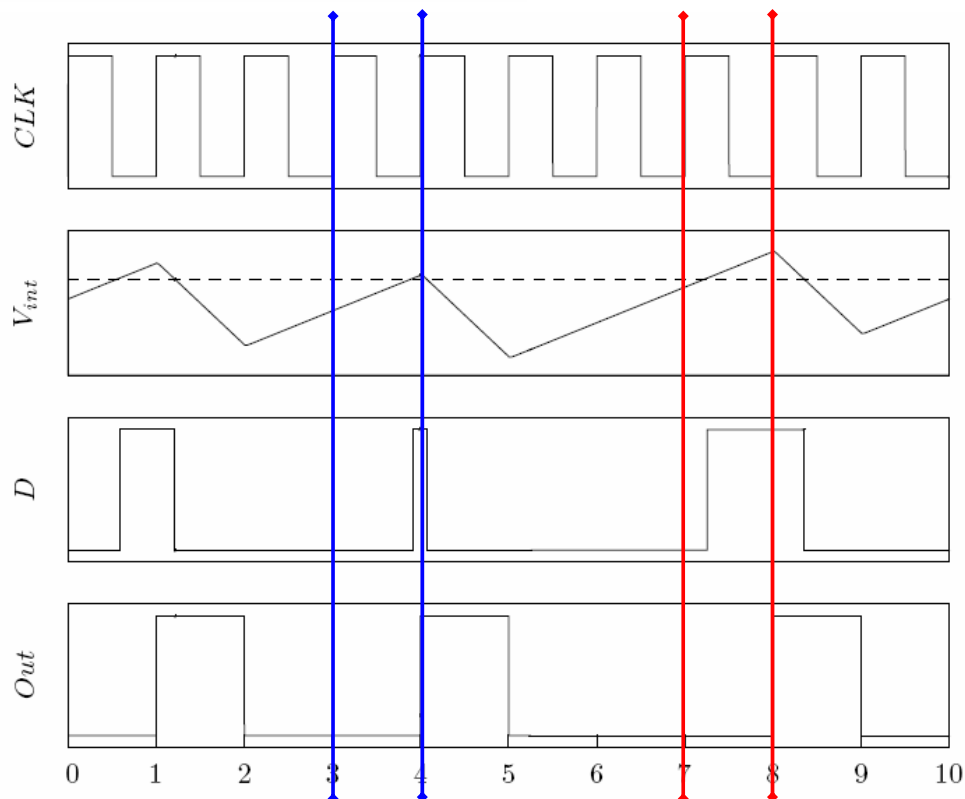


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10} V_{Ref}$)

EST 2 / SS 2011 IFE W. Pribyl Seite 20

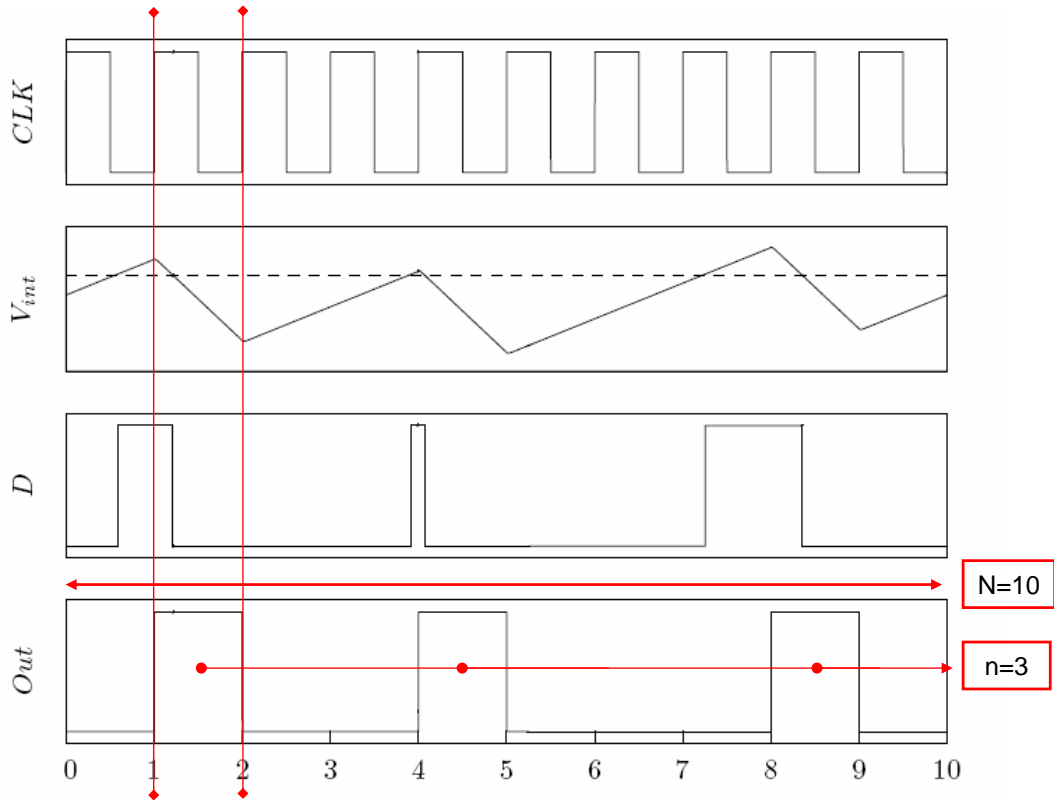
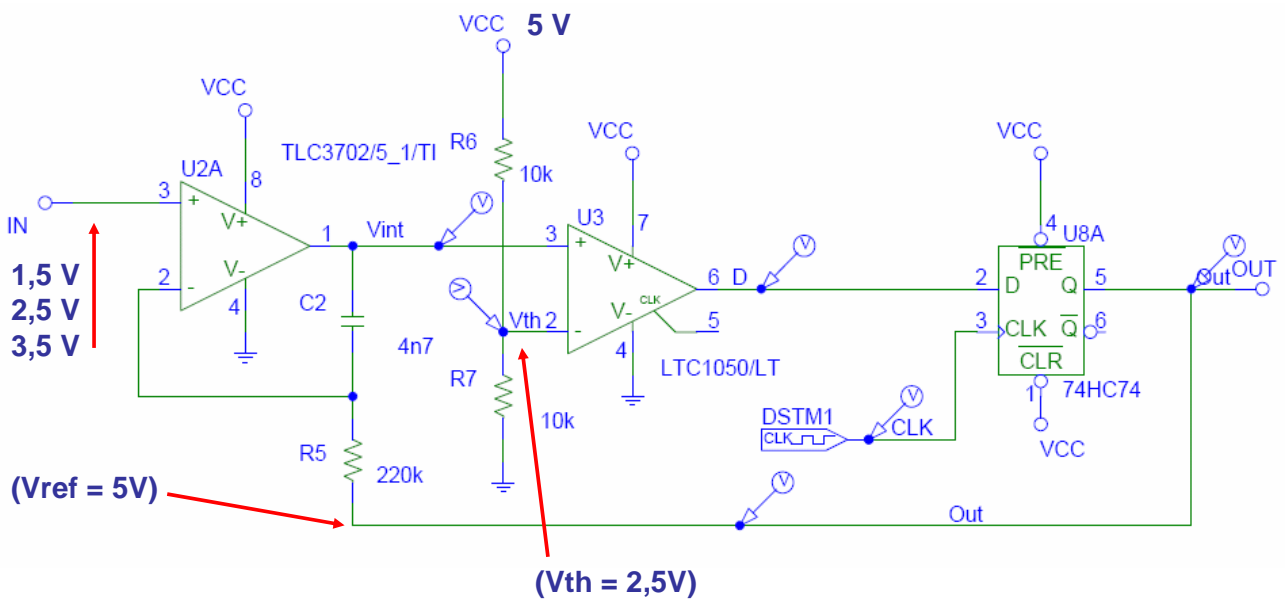
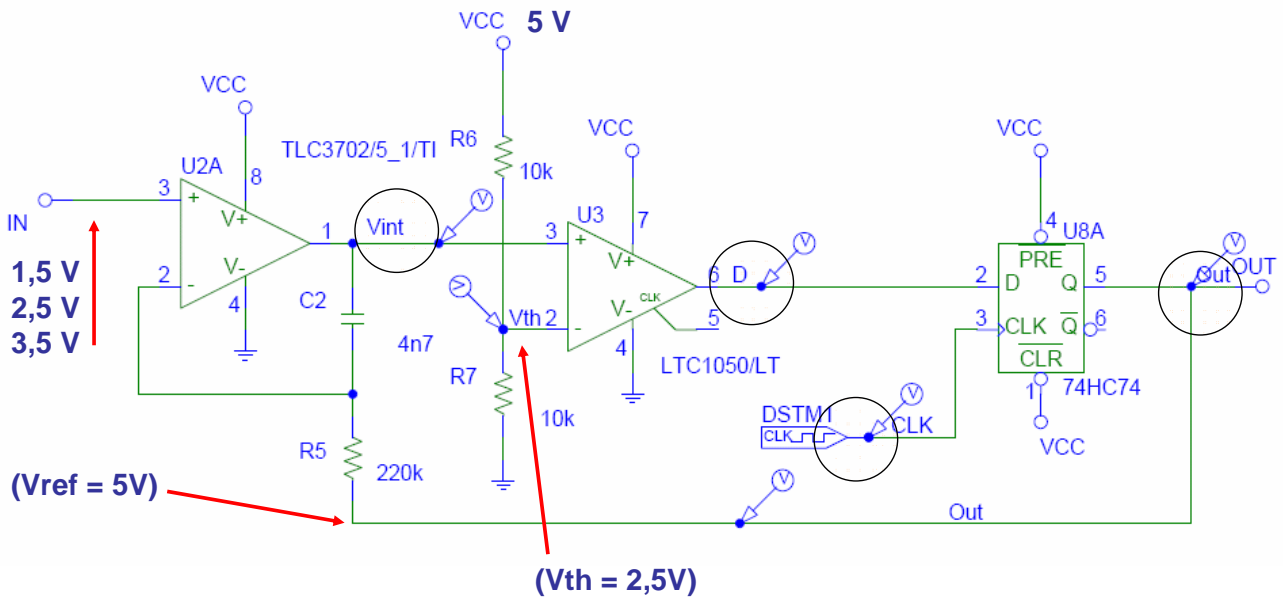


Abbildung 9.20: Signalverläufe im Ladungsausgleichsintegrator ($V_{in} = \frac{3}{10}V_{Ref}$)

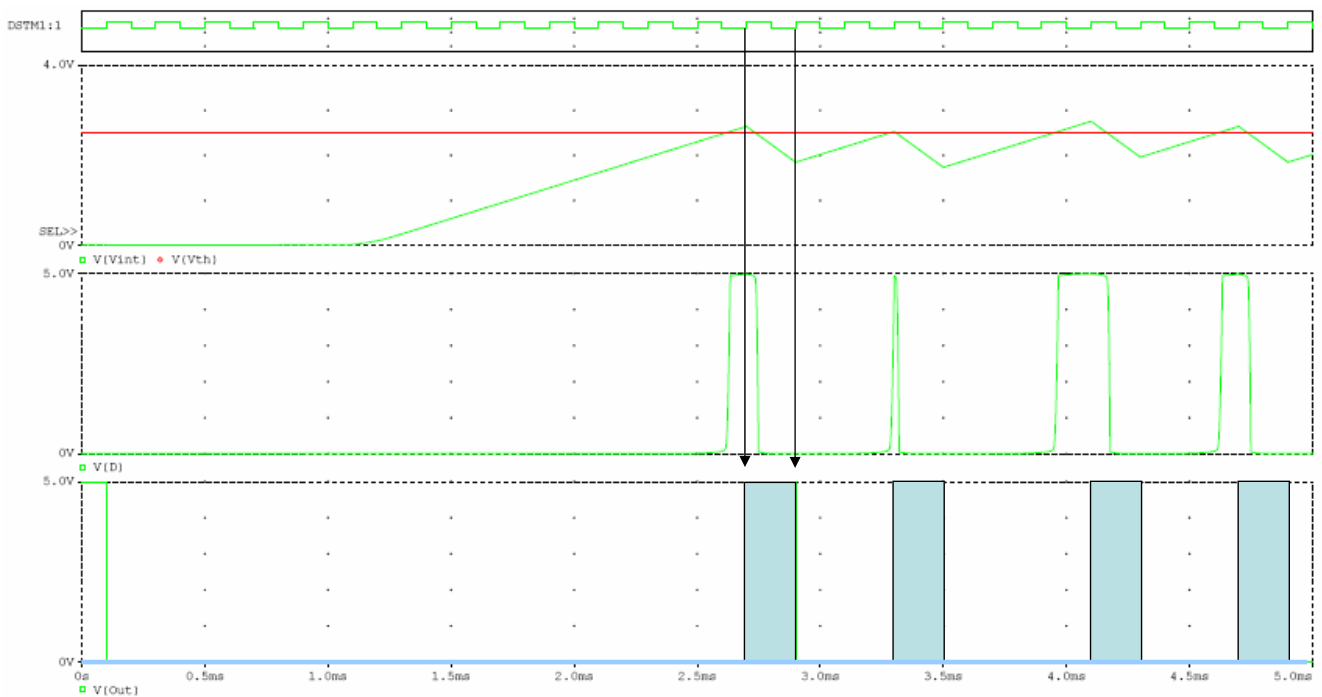
Ladungsausgleichsintegrator Simulationsschema



Ladungsausgleichsintegrator Simulationsschema



Signalverlauf beim Ladungsausgleichsintegrator $V_{in} = 0,3 \cdot V_{ref}$



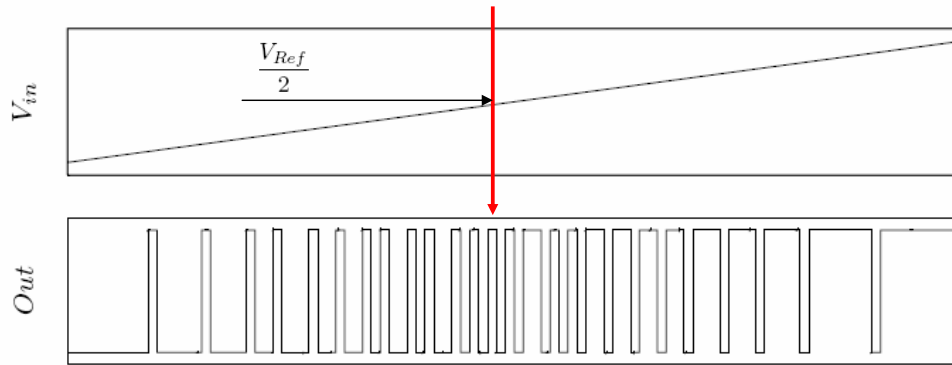


Abbildung 9.21: Ausgangssignal bei ansteigendem Eingangssignal ($V_{in} = 0 \dots V_{Ref}$)

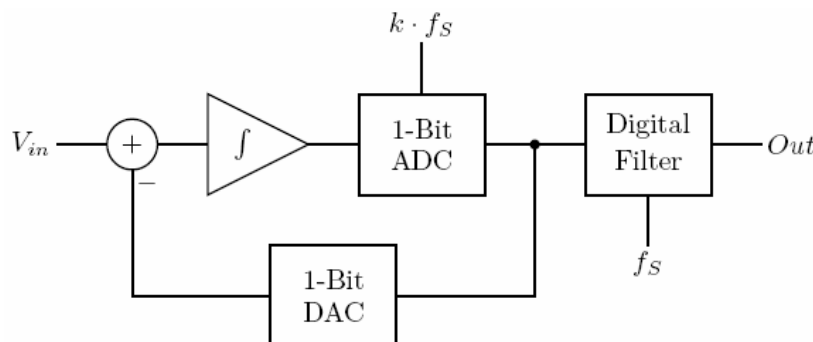
Die Anzahl k der Schaltvorgänge nimmt aber bis zur halben Referenzspannung zu und danach wieder ab.

WENN	$V_{in} \leq \frac{V_{Ref}}{2}$	DANN	$k \propto V_{in}$
WENN	$V_{in} > \frac{V_{Ref}}{2}$	DANN	$k \propto (V_{Ref} - V_{in})$

Vorschau:

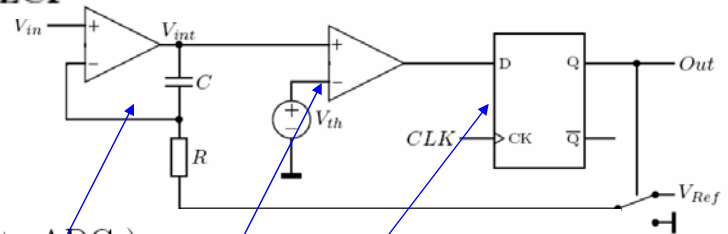
$\Sigma\Delta$ -ADCs (Sigma-Delta-ADCs)

Die $\Sigma\Delta$ -ADCs arbeiten nach dem Prinzip des Ladungsausgleichs. Dies bedeutet, dass die Differenz zwischen dem Eingangssignal und dem zeit- und wertdiskreten Ausgangssignal integriert wird. Dabei nimmt das Ausgangssignal Werte an, die im Mittel gleich dem Eingangssignal sind. Folglich wird die Differenzintegration im Mittel zu Null werden. Gleichzeitig entspricht es auch nach geeignetem Auszählen bzw. Summieren dem Umsetzungsergebnis.



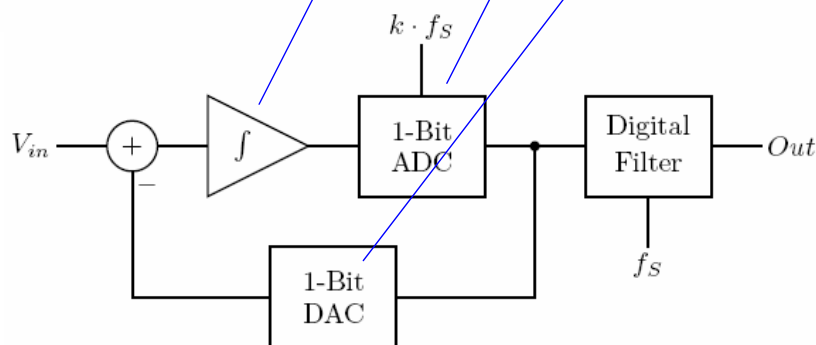
Single Bit $\Sigma\Delta$ -Umsetzer erster Ordnung (Ladungsausgleichsintegrator)

9 Analog/Digital-Umsetzer



$\Sigma\Delta$ -ADCs (Sigma-Delta-ADCs)

Die $\Sigma\Delta$ -ADCs arbeiten nach dem Prinzip des Ladungsausgleichs. Dies bedeutet, dass die Differenz zwischen dem Eingangssignal und dem zeit- und wertdiskreten Ausgangssignal integriert wird. Dabei nimmt das Ausgangssignal Werte an, die im Mittel gleich dem Eingangssignal sind. Folglich wird die Differenzintegration im Mittel zu Null werden. Gleichzeitig entspricht es auch nach geeignetem Auszählen bzw. Summieren dem Umsetzungsergebnis.



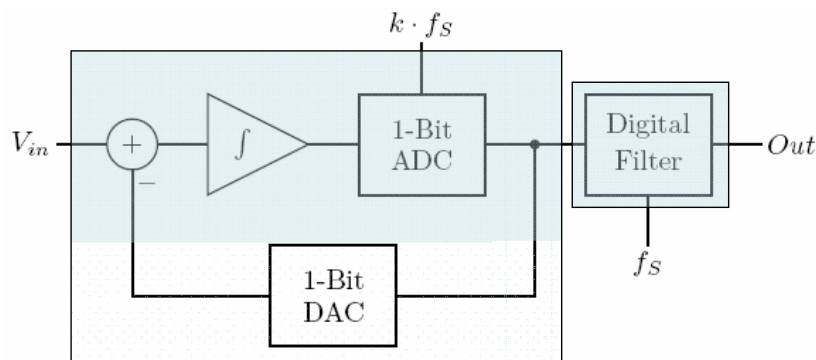
Single Bit $\Sigma\Delta$ -Umsetzer erster Ordnung (Ladungsausgleichsintegrator)

EST 2 / SS 2011 IFE W. Pribyl Seite 29

9 Analog/Digital-Umsetzer

$\Sigma\Delta$ -ADCs (Sigma-Delta-ADCs)

Die $\Sigma\Delta$ -ADCs arbeiten nach dem Prinzip des Ladungsausgleichs. Dies bedeutet, dass die Differenz zwischen dem Eingangssignal und dem zeit- und wertdiskreten Ausgangssignal integriert wird. Dabei nimmt das Ausgangssignal Werte an, die im Mittel gleich dem Eingangssignal sind. Folglich wird die Differenzintegration im Mittel zu Null werden. Gleichzeitig entspricht es auch nach geeignetem Auszählen bzw. Summieren dem Umsetzungsergebnis.

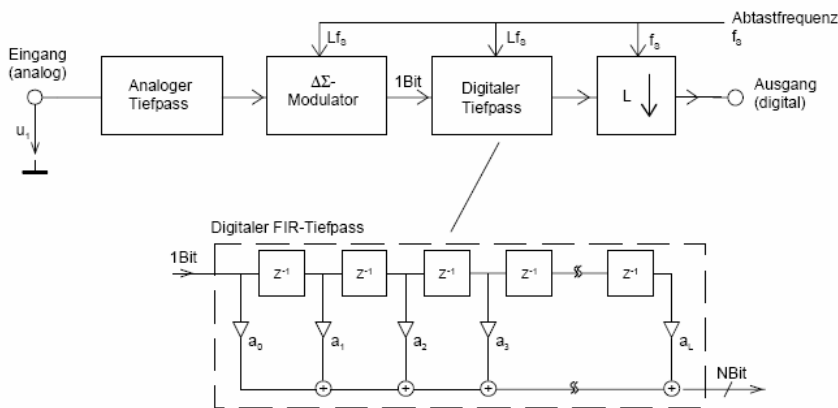


Single Bit $\Sigma\Delta$ -Umsetzer erster Ordnung (Ladungsausgleichsintegrator)

9 Analog/Digital-Umsetzer

Delta-Sigma Wandler

$\Delta\Sigma$ -Wandler sind überabstastende Wandler. Sie benötigen wegen der hohen Wandlungsrate vielfach kein Sample&Hold-Glied am Eingang. Ein analoger Tiefpass zur Bandbreitenbegrenzung ist aber schon aus Gründen der Störfestigkeit notwendig.



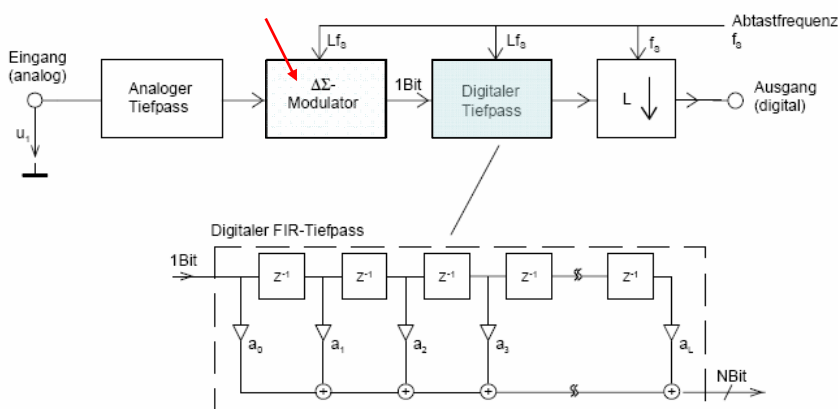
Blockschaltbild eines $\Delta\Sigma$ -Wandlers.

Der $\Delta\Sigma$ -Modulator ist ein 1-Bit Wandler und führt den 1/0 Wert auf das digitale Tiefpassfilter. Es stellt am Ausgang das gefilterte Signal als digitale N -Bit Folge zur Abtastratenreduktion bereit. Die Abtastratenwandlung erfolgt, indem einfach jeder L -te Wert übernommen und ausgegeben wird.

9 Analog/Digital-Umsetzer

Delta-Sigma Wandler

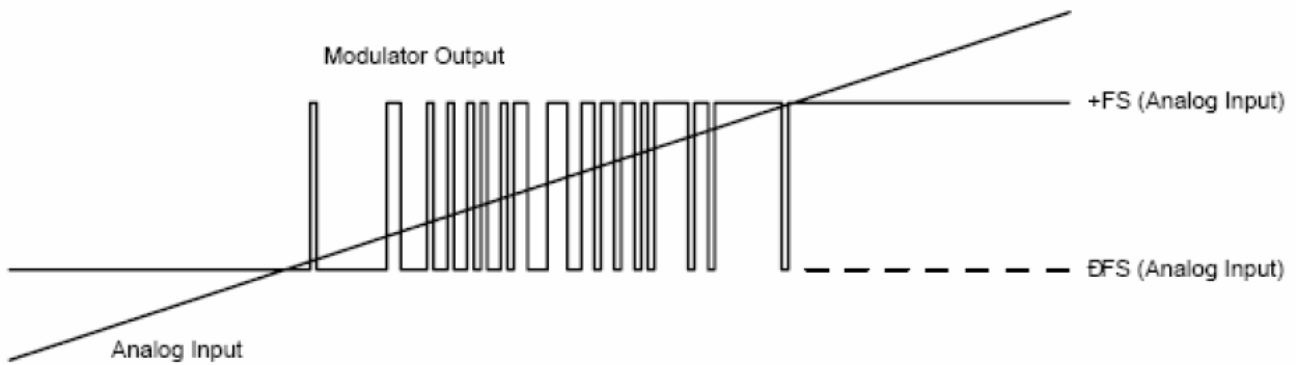
$\Delta\Sigma$ -Wandler sind überabstastende Wandler. Sie benötigen wegen der hohen Wandlungsrate vielfach kein Sample&Hold-Glied am Eingang. Ein analoger Tiefpass zur Bandbreitenbegrenzung ist aber schon aus Gründen der Störfestigkeit notwendig.



Blockschaltbild eines $\Delta\Sigma$ -Wandlers.

Der $\Delta\Sigma$ -Modulator ist ein 1-Bit Wandler und führt den 1/0 Wert auf das digitale Tiefpassfilter. Es stellt am Ausgang das gefilterte Signal als digitale N -Bit Folge zur Abtastratenreduktion bereit. Die Abtastratenwandlung erfolgt, indem einfach jeder L -te Wert übernommen und ausgegeben wird.

9 Analog/Digital-Umsetzer



Signalformen bei der AD-Umsetzung mit Sigma-Delta Umsetzern

9 Analog/Digital-Umsetzer

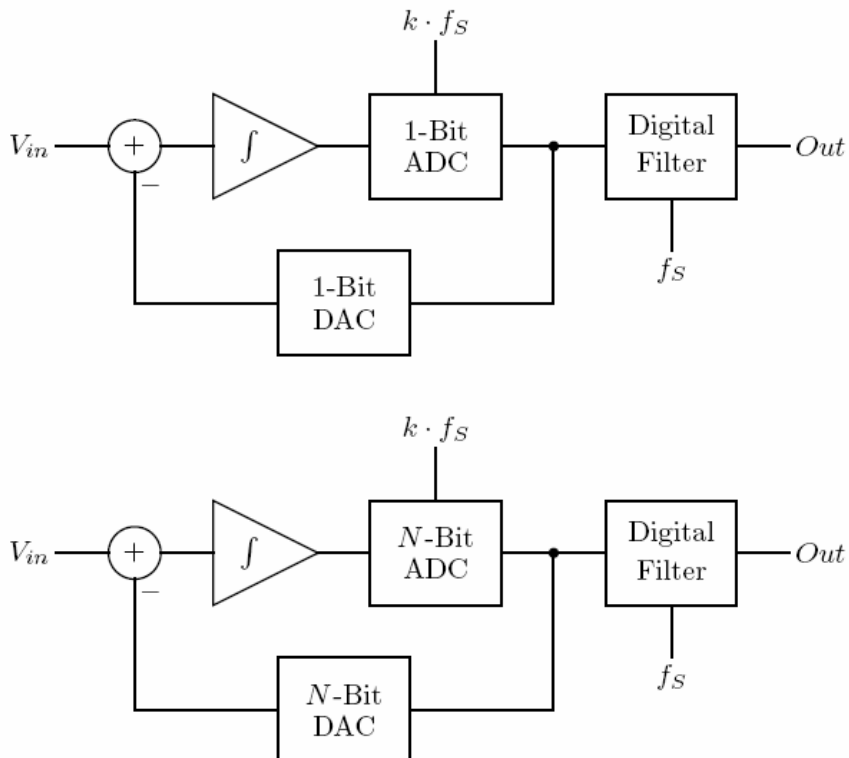


Abbildung 9.22: Sigma-Delta Umsetzer erster Ordnung (oben: single bit, unten: multibit)

9 Analog/Digital-Umsetzer

- Anzahl der Integrationen entspricht der Ordnung.
- Rückkopplung eines zweiwertigen Signals (single bit) oder über einen DAC (multibit).
- Single bit: 1-Bit ADC (Komparator) und 1-Bit DAC (Digitalausgang) sind per Definition linear (Ladungsausgleichsintegrator, siehe Abschnitt 9.4.4).
- Multibit: Linearität entspricht der des N -Bit DACs.
- Multibit liefert pro Takt mehr Information (schneller).
- Digitales Filter: Mittelungsfiler und Abtastratenreduktion (Downsampling) von $k f_S$ auf f_S .
- Das Integral der Differenz von Eingangssignal und DAC-Ausgabe ist im Mittel 0 \Rightarrow Das Integral des Integrals wird auch 0 bleiben \Rightarrow zweiter Integrator, Sigma-Delta Umsetzer zweiter Ordnung.
- $\Sigma\Delta$ -ADCs höherer Ordnung (≥ 3) können bei bestimmten Eingangswerten instabil werden (kann aber erkannt werden).

9 Analog/Digital-Umsetzer

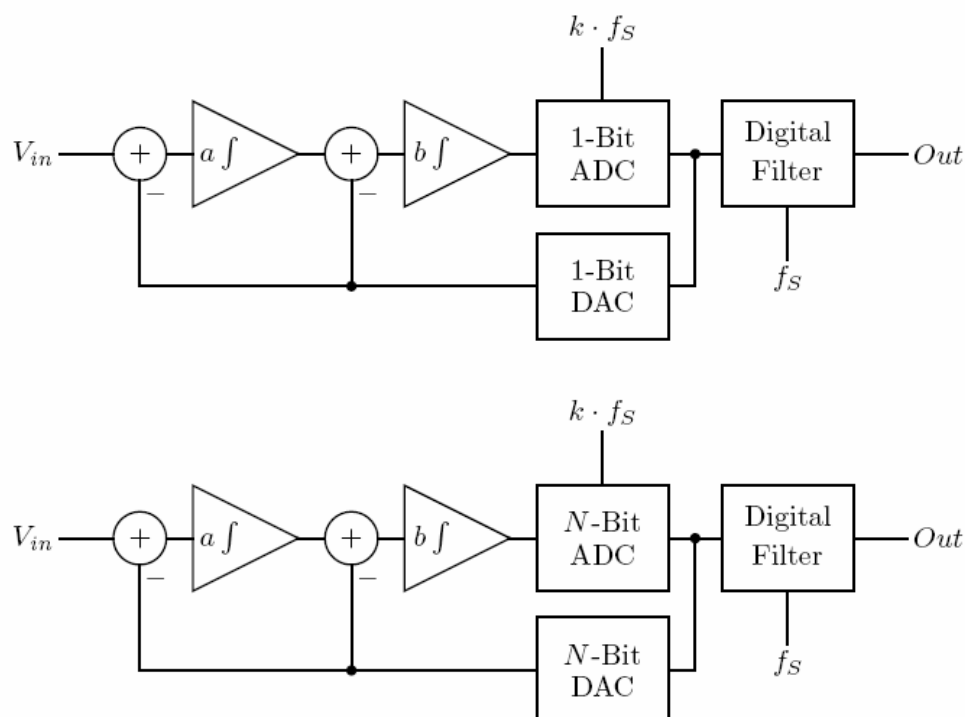


Abbildung 9.23: Sigma-Delta Umsetzer zweiter Ordnung (oben: single bit, unten: multibit)

9 Analog/Digital-Umsetzer

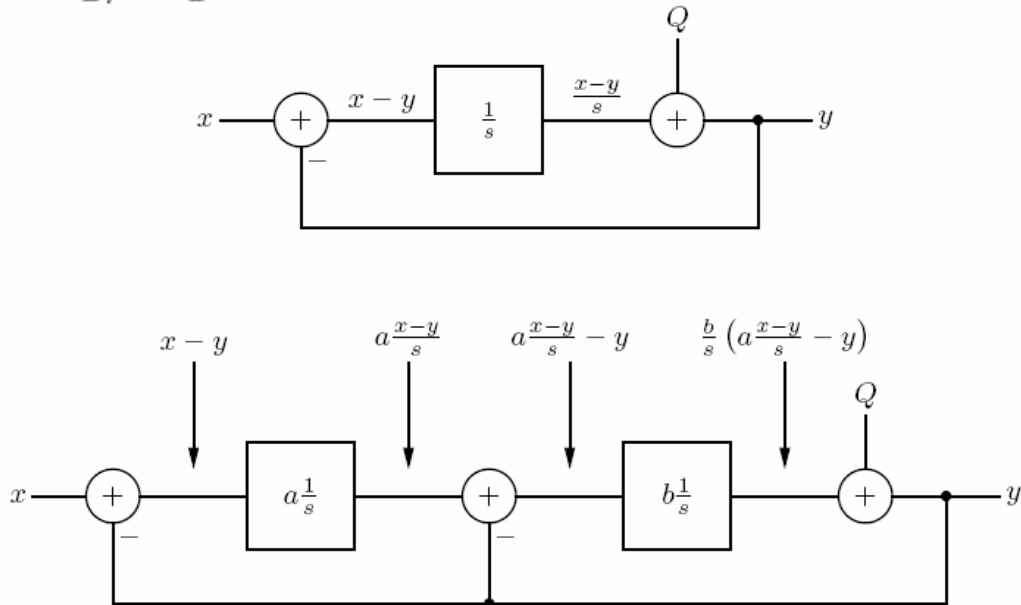


Abbildung 9.24: Modell mit Quantisierungsrauschen Q für Sigma-Delta-Umsetzer

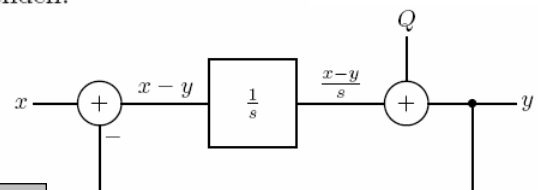
Ein wesentlicher Vorteil der mehrfachen Integration liegt im verbesserten Übertragungsverhalten der Umsetzer. Um das genauer zu untersuchen, ersetzen wir die nicht linearen Elemente (ADC und DAC) durch das lineare Modell der Quantisierung. Damit ergeben sich für die Umsetzer erster und zweiter Ordnung die dargestellten Blockschaltbilder.

9 Analog/Digital-Umsetzer

- Lineares Modell für das Quantisierungsrauschen anwenden:
1. Ordnung:

$$y = \frac{x - y}{s} + Q$$

$$y = x \frac{1}{1 + s} + Q \frac{s}{1 + s}$$

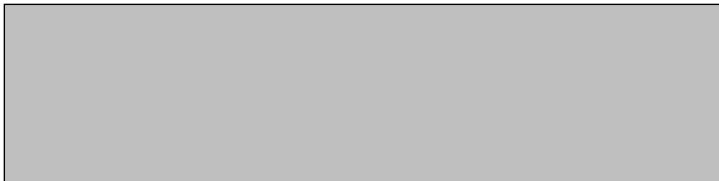


(9.15)

- Das Quantisierungsrauschen Q wird mit einer Hochpassfilter-Funktion übertragen (Noise Shaping). Die Ordnung entspricht der Anzahl der Integrationen.
- Das Nutzsinal x wird mit einer Tiefpassfilter-Funktion übertragen. Die Ordnung entspricht der Anzahl der Integrationen.
- Das digitale Filter beseitigt das hochfrequente Quantisierungsrauschen und führt eine Abtastatenreduktion durch.
- Je nach Anwendung unterschiedliche Dimensionierung (z.B. Audio oder DC-Messungen).

9 Analog/Digital-Umsetzer

- Lineares Modell für das Quantisierungsrauschen anwenden:

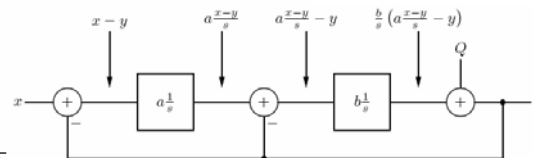


(9.14)

2. Ordnung:

$$y = \frac{b}{s} \left(a \frac{x-y}{s} - y \right) + Q$$

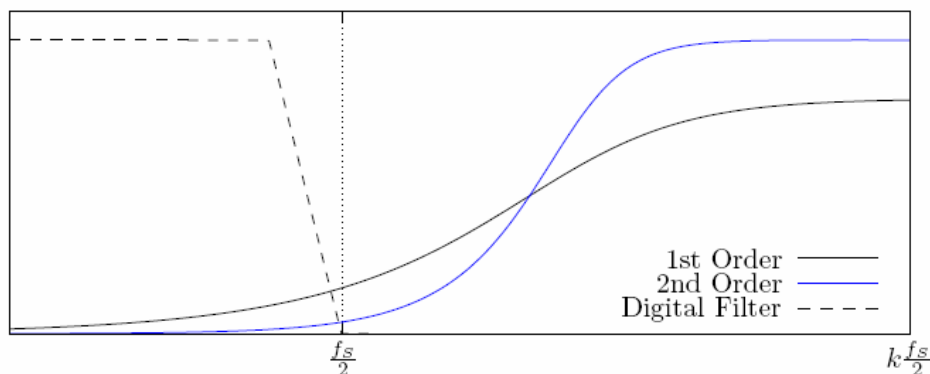
$$y = x \frac{ab}{ab + sb + s^2} + Q \frac{s^2}{ab + sb + s^2}$$



- Das Quantisierungsrauschen Q wird mit einer Hochpassfilter-Funktion übertragen (Noise Shaping). Die Ordnung entspricht der Anzahl der Integrationen.
- Das Nutzsinal x wird mit einer Tiefpassfilter-Funktion übertragen. Die Ordnung entspricht der Anzahl der Integrationen.
- Das digitale Filter beseitigt das hochfrequente Quantisierungsrauschen und führt eine Abtastatenreduktion durch.
- Je nach Anwendung unterschiedliche Dimensionierung (z.B. Audio oder DC-Messungen).

EST 2 / SS 2011 IFE W. Pribyl Seite 39

9 Analog/Digital-Umsetzer



Quantisierungsrauschen mit Noise Shaping

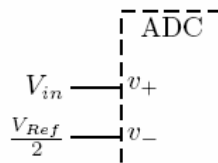
Aus diesen Ergebnissen lassen sich zwei wichtige Eigenschaften ablesen. Das Eingangssignal x wird mit einem Tiefpass und das Quantisierungsrauschen Q wird mit einem Hochpass gefiltert. Die Ordnung der Filterung entspricht dabei der Ordnung des Umsetzers, mit den Koeffizienten (a , b) kann das genaue Frequenzverhalten beeinflusst werden (z. B. präzise Gleichspannungsmessung oder Audio-Frequenzbereich). Somit wird das Quantisierungsrauschen mit zunehmender Ordnung im niedrigen Frequenzbereich immer besser unterdrückt. Diese spektrale Umformung des Rauschens wird Noise Shaping genannt. Da sich das Quantisierungsrauschen nun im höherfrequenten Bereich befindet, kann es durch eine digitale Filterung (z. B. Mittelwertbildung) beseitigt werden. Folglich erscheint dann das vom Rauschen befreite Nutzsinal x am Ausgang y .

EST 2 / SS 2011 IFE W. Pribyl Seite 40

9 Analog/Digital-Umsetzer

9.5.4 Differentielle ADC-Eingänge

- Viele, höher auflösende ADCs bieten differentielle Eingänge an: Unterdrückung von Gleichtaktstörungen, Unterdrückung von Störungen auf Masse, Erhöhung des Spannungshubs.



Verwendung differenzieller Eingänge für massebezogene Signale

Die wohl einfachste Beschaltung wird in Abbildung 15.17 gezeigt. Der differentielle Eingang wird nicht als solcher genutzt, die Eingangsspannung wird direkt mit dem ADC-Eingang verbunden. Der Eingang v_- wird fix auf die Mittenspannung $\frac{V_{Ref}}{2}$ gelegt.

$$v = V_{in} - \frac{V_{Ref}}{2}$$

Mit dieser einfachen Lösung wird nicht mehr der komplette Eingangsbereich ausgenutzt und der ADC-Eingang erfährt eine vom Signal V_{in} abhängige Gleichtaktaussteuerung v_{CM} :

$$v_{CM} = \frac{v_+ + v_-}{2} = \frac{V_{in} + \frac{V_{Ref}}{2}}{2} = \frac{V_{in}}{2} + \frac{V_{Ref}}{4}.$$

9 Analog/Digital-Umsetzer

- Bessere Beschaltung: Differentielle Aussteuerung um eine gegebene Gleichtaktspannung.

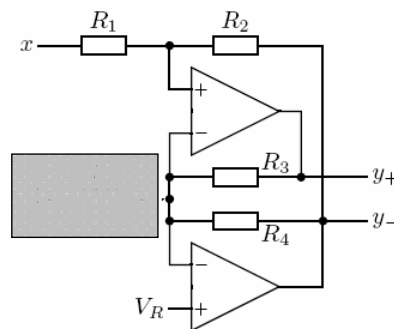


Abbildung 9.28: Single-ended to differential Umsetzung

- Ohne R_5 , $R_3 = R_4$, $x = V_R + \tilde{x}$:

$$y_- = -\frac{R_2}{R_1}x + \left(1 + \frac{R_2}{R_1}\right)V_R = -\frac{R_2}{R_1}\tilde{x} + V_R \quad (9.22)$$

$$y_+ = V_R - \frac{y_- - V_R}{R_4}R_3 = -y_- + 2V_R = \frac{R_2}{R_1}\tilde{x} + V_R$$

$$y = y_+ - y_- = 2\frac{R_2}{R_1}\tilde{x}.$$

9 Analog/Digital-Umsetzer

Die Eingangs- und Ausgangssignale sind in Abbildung 9.1 dargestellt. Dabei wird von einem Spannungsbereich von 0 bis 5 V ausgegangen, das Eingangssignal befindet sich um die Mittenspannung von 2,5 V. Da es nur eine Amplitude von 1 V aufweist, wird noch eine Verstärkung mit dem Faktor 2 (bzw. 4 beim Differenzsignal) ausgeführt. Die Ausgangssignale y_+ und y_- haben dann eine Amplitude von 2 V, die Gleichtaktaussteuerung beträgt konstant $V_R = 2,5$ V.

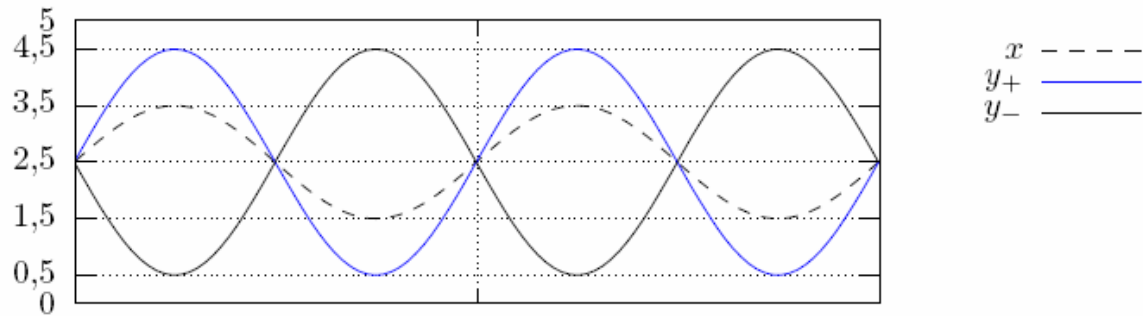


Abbildung 9.1 Single-ended-to-differential-Umsetzung
 $R_1 = 5 \text{ k}\Omega$, $R_2 = R_3 = R_4 = 10 \text{ k}\Omega$, $V_R = 2,5 \text{ V}$

9 Analog/Digital-Umsetzer

Soll die Schaltung für ein Eingangssignal verwendet werden, dessen Bezugspunkt für die Inversion Masse ist, muss der Widerstand R_5 Teil der Schaltung sein. Nach längeren Berechnungen erhält man zwei Bedingungen für die Widerstandswerte R_3 , R_4 und R_5 und das Übertragungsverhalten:

$$R_3 = R_4 \quad \frac{R_3}{R_5} = 2 \frac{R_2}{R_1} \quad y_+ = \frac{R_2}{R_1} x + \left(1 + \frac{R_2}{R_1}\right) V_R$$

$$y_- = -\frac{R_2}{R_1} x + \left(1 + \frac{R_2}{R_1}\right) V_R \quad y = y_+ - y_- = 2 \frac{R_2}{R_1} x.$$

Die Abbildung 9.2 zeigt die Signale am Eingang und an den Ausgängen. Auch hier wird das Eingangssignal mit dem Faktor 2 verstärkt, die Gleichtaktaussteuerung des differenziellen Ausgangssignals ist wieder konstant 2,5 V.

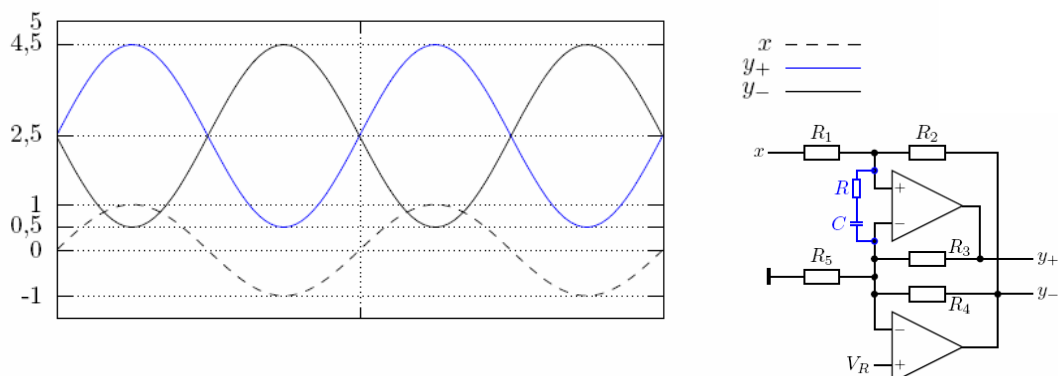


Abbildung 9.2 Single-ended-to-differential-Umsetzung
 $R_1 = 5 \text{ k}\Omega$, $R_2 = R_3 = R_4 = 10 \text{ k}\Omega$, $R_5 = 2,5 \text{ k}\Omega$, $V_R = \frac{2,5}{3} \text{ V}$

9 Analog/Digital-Umsetzer

Die in Abbildung S 34 dargestellte Schaltung ähnelt in gewissen Maßen, was die Funktion im invertierenden Pfad betrifft, einem normalen invertierenden Verstärker. Somit liegt der Gedanke nahe, diesen zu einem Filter mit Mehrfachgegenkopplung zu erweitern. Diese Schaltung ist in Abbildung dargestellt.

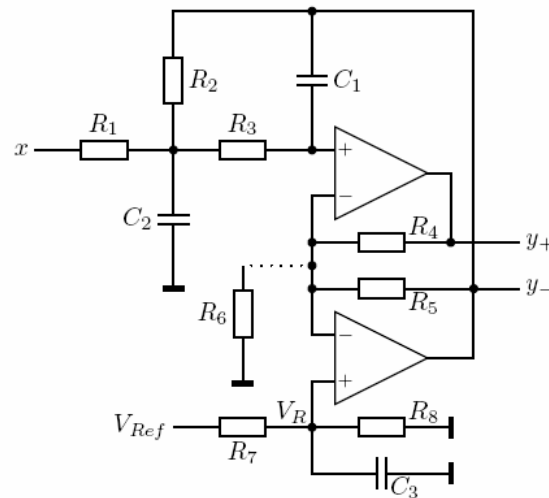


Abbildung Pegelumsetzung, Tiefpassfilterung und Single-ended-to-differential-Umsetzung

Die Dimensionierung der einzelnen Bauteilwerte erfolgt zuerst nach den Gleichungen für das Filter mit Mehrfachgegenkopplung (Text v. 15.6.09). Danach wird die Single-ended-to-differential-Umsetzung angepasst.

9 Analog/Digital-Umsetzer

14.5 Auswahl von ADCs

Da jetzt die verschiedenen ADC-Architekturen vorgestellt und erklärt wurden, soll abschließend noch auf ihre Einsatzgebiete eingegangen werden. In Tabelle 14.4 sind die wesentlichen Kenngrößen, nämlich Auflösung, Umsetzungsrate und Leistungsaufnahme der drei gängigen Typen zusammengefasst. Diese sind Pipelined, Wägeverfahren und $\Sigma\Delta$ -ADCs. Je nach Anwendung wird ein ADC des entsprechenden Typs ausgewählt, wobei die zuvor genannten Kenngrößen die wichtigsten Kriterien darstellen.

	Pipelined	Wägeverfahren	$\Sigma\Delta$
Auflösung	niedrig 8 – 14 bit	mittel 8 – 18 bit	hoch 16 – 24 bit
Umsetzungsrate	sehr hoch bis zu 500 MHz	mittel-hoch bis zu 1 MHz	niedrig-mittel 1 Hz – 100 kHz
Leistungsaufnahme	sehr hoch bis zu 3 W	mittel 1 – 200 mW	niedrig 0,2 – 10 mW

Tabelle 14.4: Typische Kennwerte der gängigen ADCs

Natürlich unterscheiden sich auch ADCs gleicher Architektur untereinander. Dies beginnt schon mit der digitalen Schnittstelle. Während sehr hohe Umsetzungsrate bei Pipelined ADCs eine parallele Schnittstelle notwendig machen, ist bei langsameren ADCs (Wägeverfahren, $\Sigma\Delta$) eine serielle vorzuziehen. Üblicherweise wird eine synchrone, serielle Datenübertragung verwendet. Dadurch benötigt der ADC-Baustein weniger Anschlüsse, weshalb ein kleineres, platzsparendes und (ganz wichtig) billigeres Gehäuse eingesetzt werden kann.

9.6 Auswahl von ADCs

- Auflösung/Linearität, SNR, ENOB.
- Umsetzungsrate.
- Stromaufnahme.
- Schnittstelle (seriell, parallel).
- Referenz (intern, extern).
- Gehäuse.
- Preis.

Firmen-Websites für ADCs

- <http://www.analog.com> Analog Devices
- <http://focus.ti.com> Texas Instruments
- <http://www.austriamicrosystems.com>
austriamicrosystems AG
- <http://www.maxim-ic.com> Maxim Semiconductors
- <http://www.national.com> National Semiconductors
- <http://www.intersil.com> Intersil
- . . . und verschiedene andere Hersteller

Data Converters, Sample-and-Holds - Maxim - Microsoft Internet Explorer

Datei Bearbeiten Ansicht Favoriten Extras ?

Zurück Zurück Suchen Favoriten Wechseln zu Links

Adresse http://www.maxim-ic.com/products/data_converters/

Norton Phishing-Schutz aktiviert Identity Safe Anmeldungen

ENGLISH + 简体中文 + 日本語 + 한국어

MAXIM SITE SEARCH PART NO. SEARCH

WHAT'S NEW PRODUCTS SOLUTIONS DESIGN APPNOTES SUPPORT BUY COMPANY MEMBERS

Product Information
 - New Products, A/D
 - New Products, D/A
 - New Products, High-Speed
 - High-Speed Converter Portfolio
 - Latest Data Sheets, A/D
 - Latest Data Sheets, D/A
 - Weekly New Product Updates
 - Evaluation Kits
 - Samples

Design Help
 - A/D Converters Design Guide (PDF)
 - A/D Converters Brochure (PDF)
 - D/A Converters Design Guide (PDF)
 - High-Speed ADCs, DACs, & AFEs Design Guide (PDF)
 - Digital Potentiometers Design Guide (PDF)
 - A/D Converters Application Notes
 - D/A Converters Application Notes
 - High-Speed Data Converter Application Notes
 - IBIS Models


Product Feature Feedback
 - Didn't Find What You Need? Let Us Know!

Maxim > Products > Data Converters, Sample-and-Holds

Data Converters


Maxim offers over 750 analog-to-digital converters (ADCs), digital-to-analog converters (DACs), and analog front-ends (AFE)—more data converters than any other supplier.

Our product families utilize sigma-delta, SAR, pipeline, and flash architectures to deliver resolutions from 6 bits to 24 bits and sampling rates from DC to 4.3Gsp/s.




ADC

- Precision
- High Speed
- Sigma-Delta
- Display



DAC

- Precision
- High Speed
- Sample-and-Holds



AFE

- High Speed

Product Tree

Detailed Tree Product Line Homepage

Data Converters & Sample-and-Holds

- Analog-to-Digital Converters**
 - Dual-Slope & Display-Oriented ADCs (31)
 - Sigma-Delta ADCs (15)
 - High-Speed ADCs (> 5MSPS) (81)
 - Precision ADCs (<= 5MSPS) (308)
 - 8-Bit (44)
 - 10-Bit (89)
 - 12-Bit (133)
 - 14-Bit (39)
 - 16-Bit (29)
- D-to-A Converters & Sample-and-Holds**
 - Precision DACs (< 1MHz) (248)
 - 8-Bit or Less (89)
 - 10-Bit (39)
 - 12-Bit (79)
 - 13-Bit (14)
 - 14-Bit (23)
 - 16-Bit (25)
 - High-Speed DACs (> 1MHz) (44)
 - Sample-and-Holds for DAC Expansion (4)
- Fast Codecs / Analog Front-End (AFE)** (15)
- ALSO SEE: Digital Potentiometers**