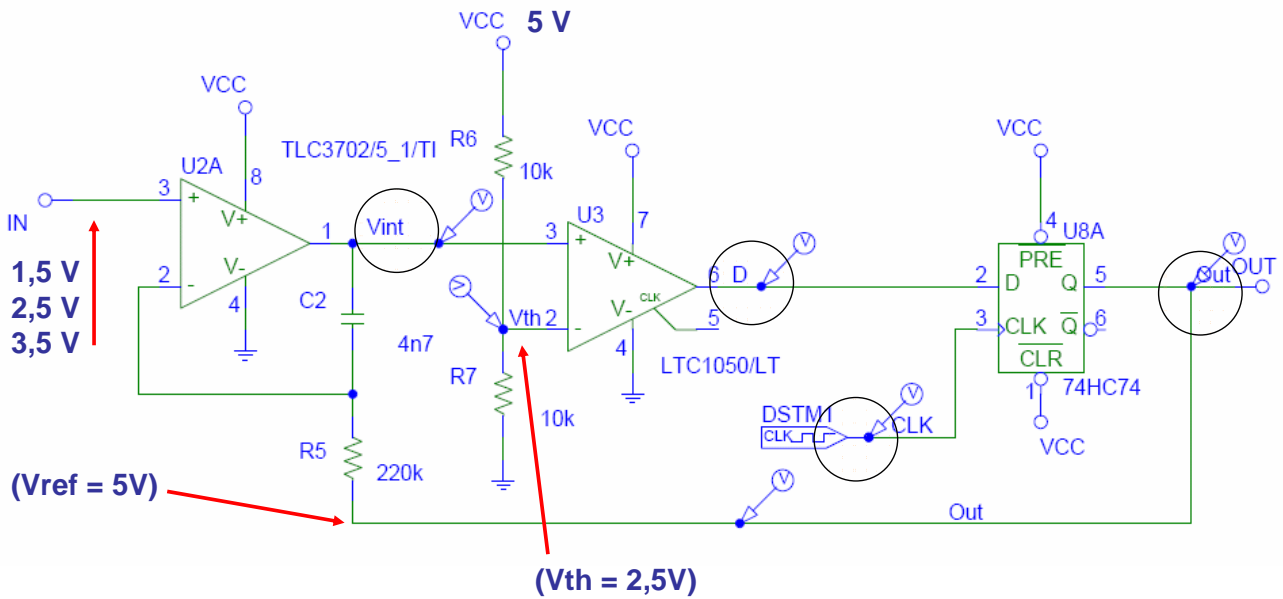
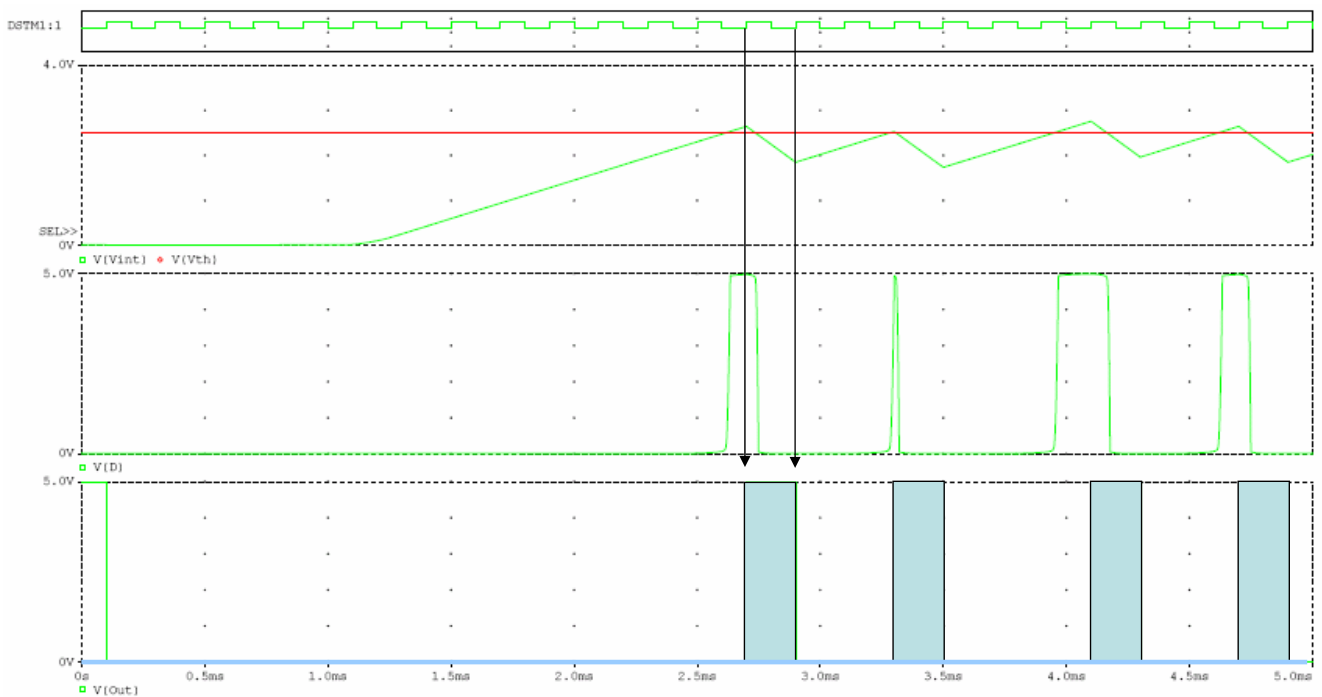


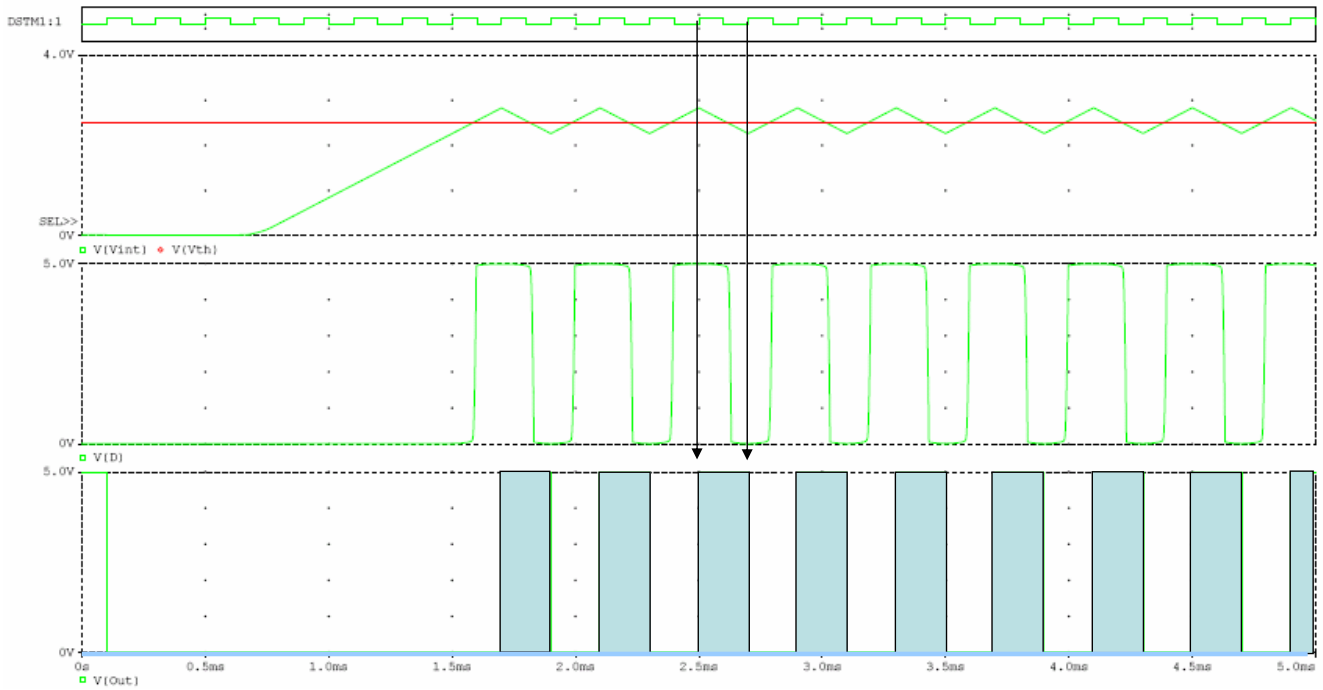
# Ladungsausgleichsintegrator Simulationsschema



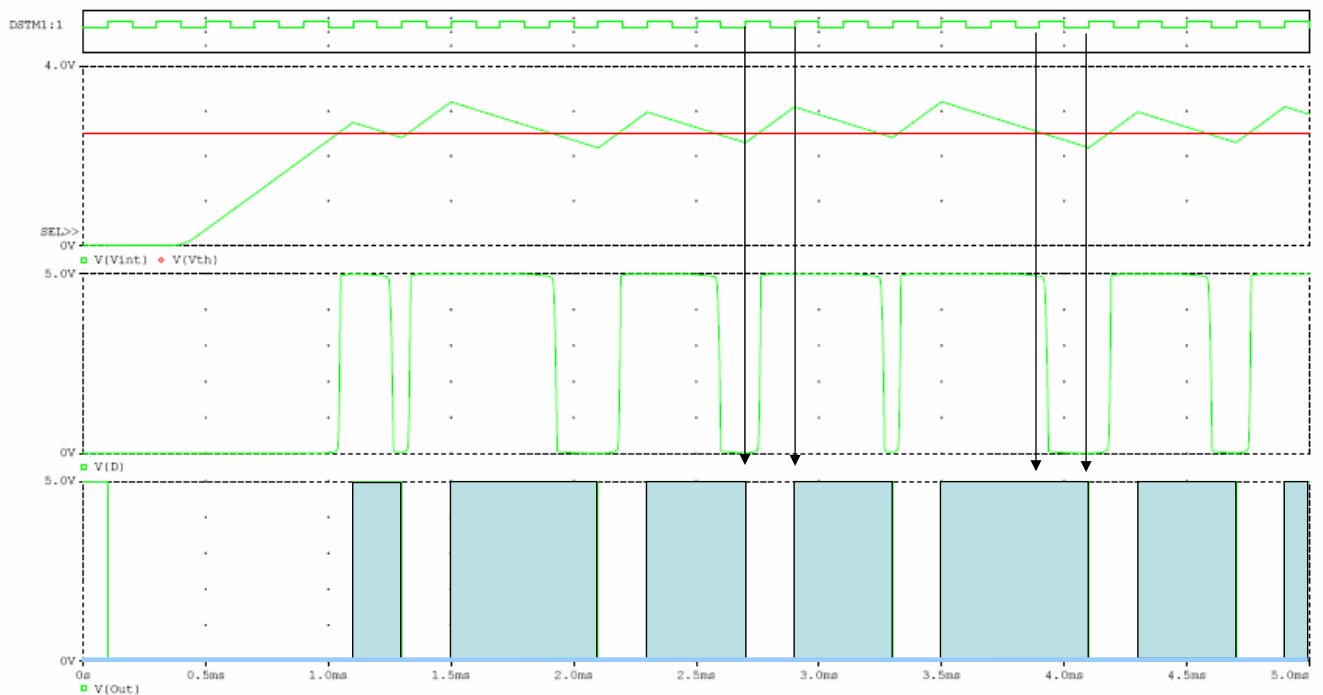
# Signalverlauf beim Ladungsausgleichsintegrator $V_{in} = 0,3 \cdot V_{ref}$



# Signalverlauf beim Ladungsausgleichsintegrator $V_{in}=0,5 \cdot V_{ref}$

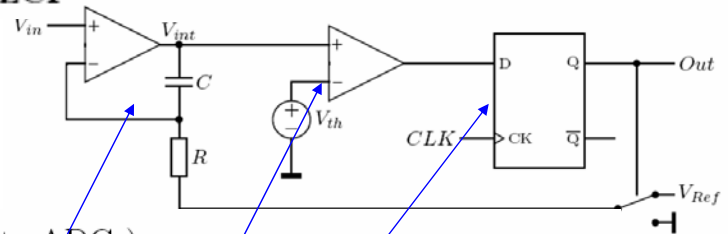


# Signalverlauf beim Ladungsausgleichsintegrator $V_{in}=0,7 \cdot V_{ref}$



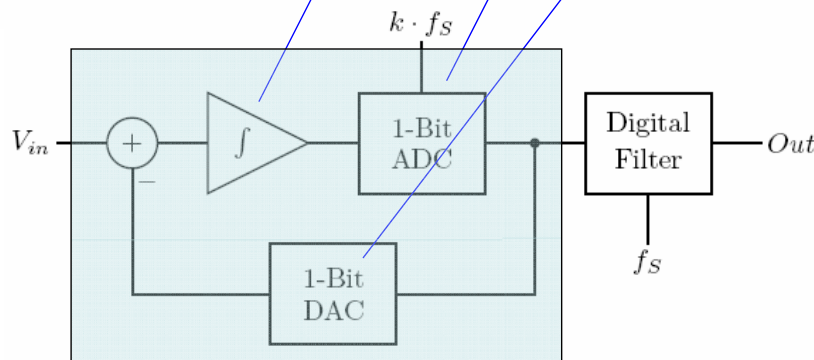
# 9 Analog/Digital-Umsetzer

(Wiederholung)



$\Sigma\Delta$ -ADCs (Sigma-Delta-ADCs)

Die  $\Sigma\Delta$ -ADCs arbeiten nach dem Prinzip des Ladungsausgleichs. Dies bedeutet, dass die Differenz zwischen dem Eingangssignal und dem zeit- und wertdiskreten Ausgangssignal integriert wird. Dabei nimmt das Ausgangssignal Werte an, die im Mittel gleich dem Eingangssignal sind. Folglich wird die Differenzintegration im Mittel zu Null werden. Gleichzeitig entspricht es auch nach geeignetem Auszählen bzw. Summieren dem Umsetzungsergebnis.



Single Bit  $\Sigma\Delta$ -Umsetzer erster Ordnung (Ladungsausgleichsintegrator)

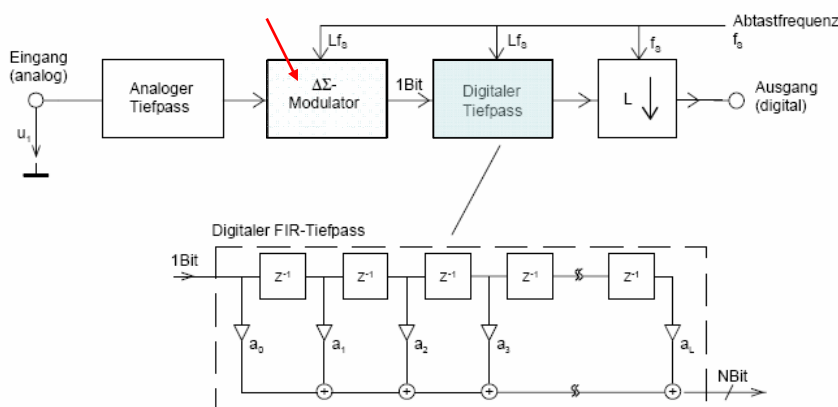
EST 2 / SS 2011 IFE W. Pribyl Seite 6

# 9 Analog/Digital-Umsetzer

(Wiederholung)

## Delta-Sigma Wandler

$\Delta\Sigma$ -Wandler sind überabstastende Wandler. Sie benötigen wegen der hohen Wandlungsrate vielfach kein Sample&Hold-Glied am Eingang. Ein analoger Tiefpass zur Bandbreitenbegrenzung ist aber schon aus Gründen der Störfestigkeit notwendig.



Blockschaltbild eines  $\Delta\Sigma$ -Wandlers.

Der  $\Delta\Sigma$ -Modulator ist ein 1-Bit Wandler und führt den 1/0 Wert auf das digitale Tiefpassfilter. Es stellt am Ausgang das gefilterte Signal als digitale N-Bit Folge zur Abtastratenreduktion bereit. Die Abtastratenwandlung erfolgt, indem einfach jeder L-te Wert übernommen und ausgegeben wird.

## 9 Analog/Digital-Umsetzer

(Wiederholung)

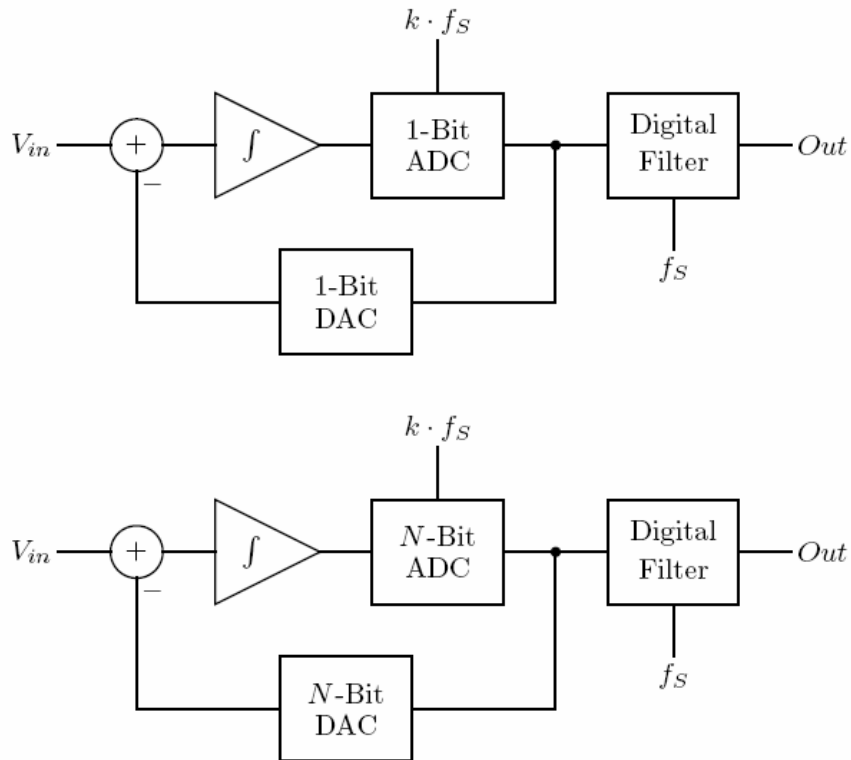


Abbildung 9.22: Sigma-Delta Umsetzer erster Ordnung (oben: single bit, unten: multibit)

## 9 Analog/Digital-Umsetzer

(Wiederholung)

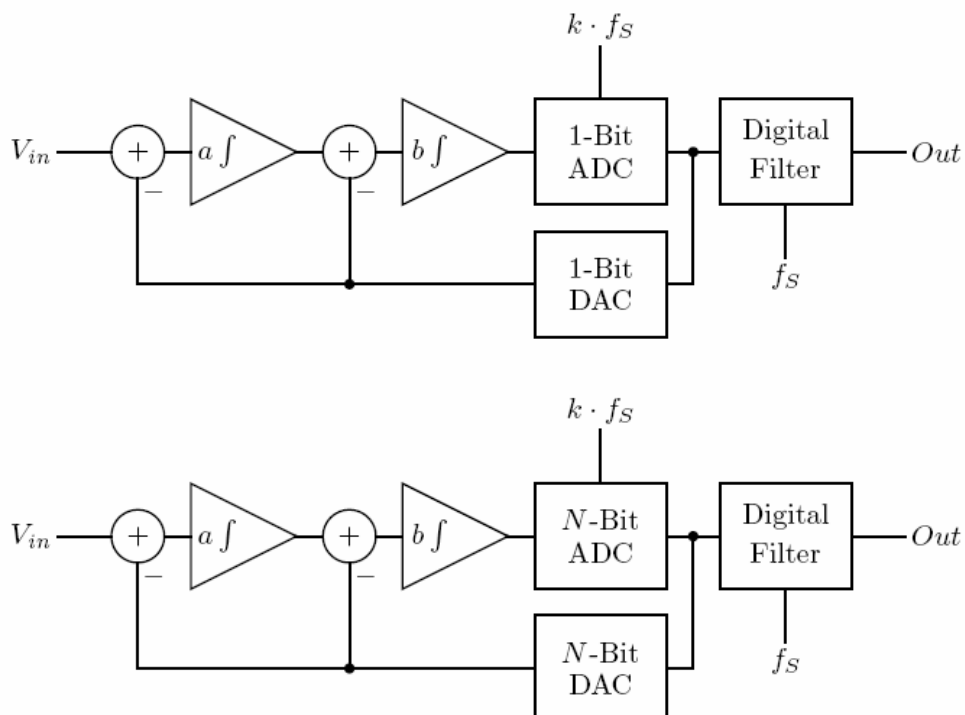


Abbildung 9.23: Sigma-Delta Umsetzer zweiter Ordnung (oben: single bit, unten: multibit)

# 9 Analog/Digital-Umsetzer

(Wiederholung)

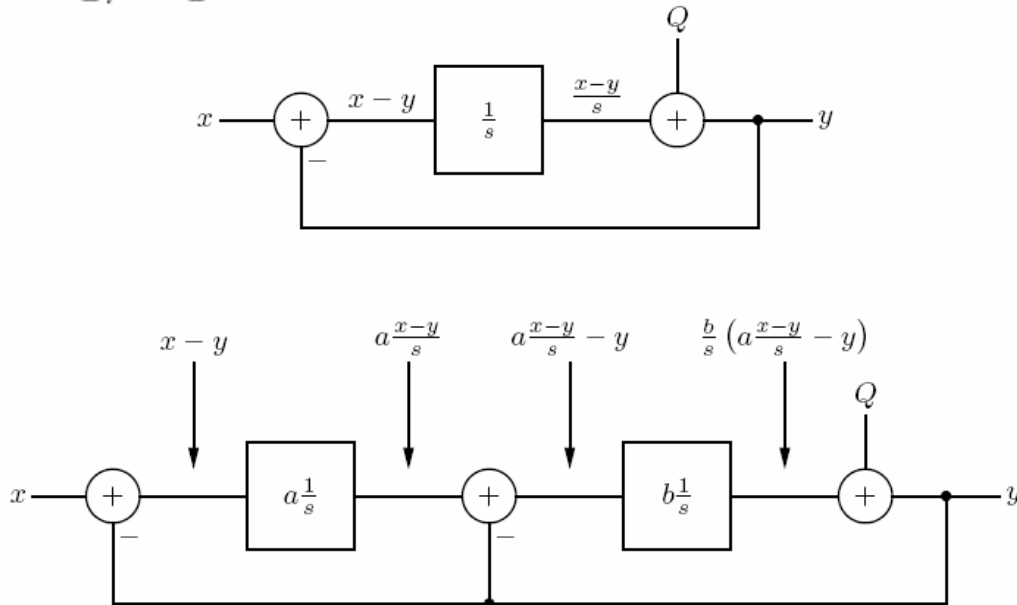


Abbildung 9.24: Modell mit Quantisierungsrauschen  $Q$  für Sigma-Delta-Umsetzer

Ein wesentlicher Vorteil der mehrfachen Integration liegt im verbesserten Übertragungsverhalten der Umsetzer. Um das genauer zu untersuchen, ersetzen wir die nicht linearen Elemente (ADC und DAC) durch das lineare Modell der Quantisierung. Damit ergeben sich für die Umsetzer erster und zweiter Ordnung die dargestellten Blockschaltbilder.

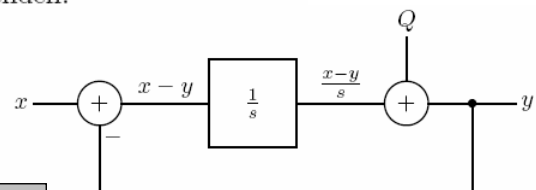
# 9 Analog/Digital-Umsetzer

(Wiederholung)

- Lineares Modell für das Quantisierungsrauschen anwenden:
  1. Ordnung:

$$y = \frac{x - y}{s} + Q$$

$$y = x \frac{1}{1 + s} + Q \frac{s}{1 + s}$$



(9.15)

- Das Quantisierungsrauschen  $Q$  wird mit einer Hochpassfilter-Funktion übertragen (Noise Shaping). Die Ordnung entspricht der Anzahl der Integrationen.
- Das Nutzsinal  $x$  wird mit einer Tiefpassfilter-Funktion übertragen. Die Ordnung entspricht der Anzahl der Integrationen.
- Das digitale Filter beseitigt das hochfrequente Quantisierungsrauschen und führt eine Abtastatenreduktion durch.
- Je nach Anwendung unterschiedliche Dimensionierung (z.B. Audio oder DC-Messungen).

# 9 Analog/Digital-Umsetzer

(Wiederholung)

- Lineares Modell für das Quantisierungsrauschen anwenden:

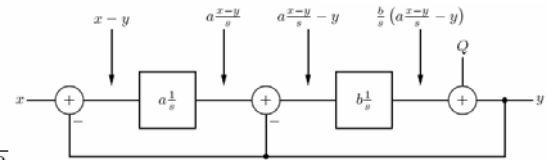


(9.14)

2. Ordnung:

$$y = \frac{b}{s} \left( a \frac{x-y}{s} - y \right) + Q$$

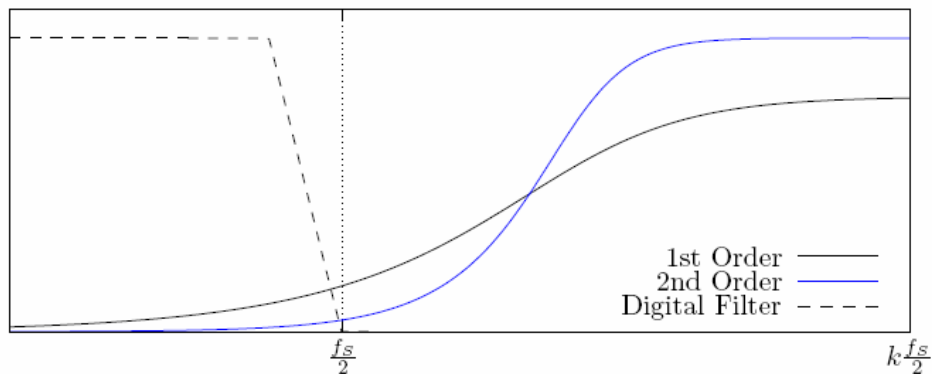
$$y = x \frac{ab}{ab + sb + s^2} + Q \frac{s^2}{ab + sb + s^2}$$



- Das Quantisierungsrauschen  $Q$  wird mit einer Hochpassfilter-Funktion übertragen (Noise Shaping). Die Ordnung entspricht der Anzahl der Integrationen.
- Das Nutzsinal  $x$  wird mit einer Tiefpassfilter-Funktion übertragen. Die Ordnung entspricht der Anzahl der Integrationen.
- Das digitale Filter beseitigt das hochfrequente Quantisierungsrauschen und führt eine Abtastatenreduktion durch.
- Je nach Anwendung unterschiedliche Dimensionierung (z.B. Audio oder DC-Messungen).

# 9 Analog/Digital-Umsetzer

(Wiederholung)



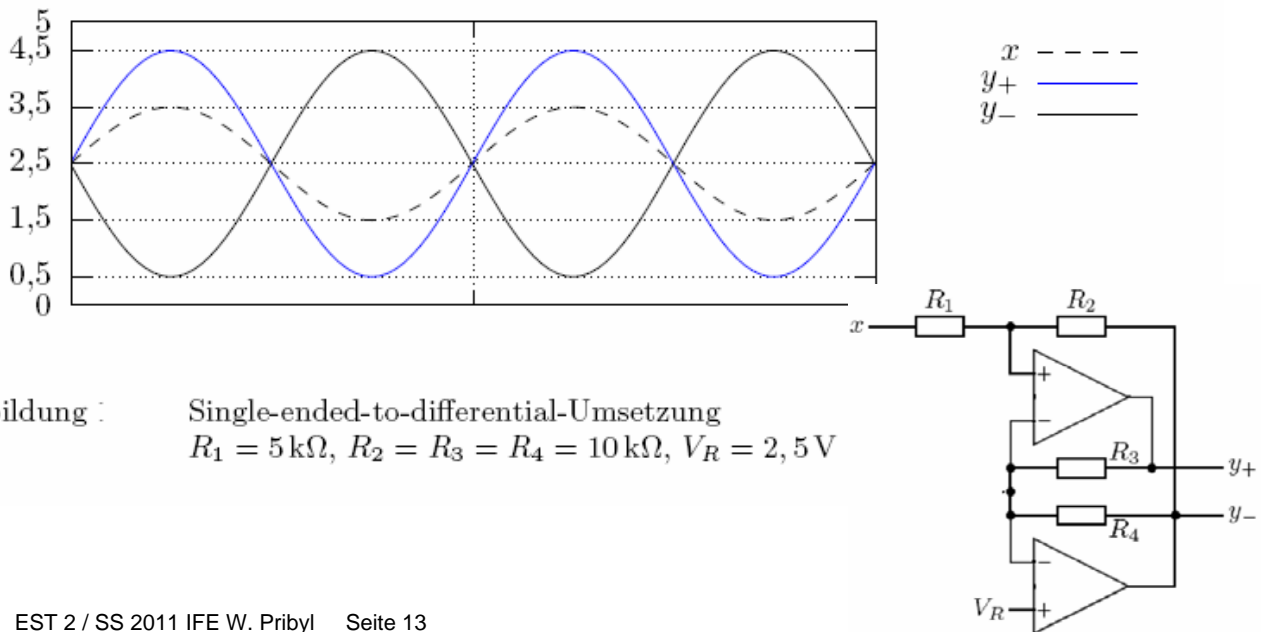
Quantisierungsrauschen mit Noise Shaping

Aus diesen Ergebnissen lassen sich zwei wichtige Eigenschaften ablesen. Das Eingangssignal  $x$  wird mit einem Tiefpass und das Quantisierungsrauschen  $Q$  wird mit einem Hochpass gefiltert. Die Ordnung der Filterung entspricht dabei der Ordnung des Umsetzers, mit den Koeffizienten  $(a, b)$  kann das genaue Frequenzverhalten beeinflusst werden (z. B. präzise Gleichspannungsmessung oder Audio-Frequenzbereich). Somit wird das Quantisierungsrauschen mit zunehmender Ordnung im niedrigen Frequenzbereich immer besser unterdrückt. Diese spektrale Umformung des Rauschens wird Noise Shaping genannt. Da sich das Quantisierungsrauschen nun im höherfrequenten Bereich befindet, kann es durch eine digitale Filterung (z. B. Mittelwertbildung) beseitigt werden. Folglich erscheint dann das vom Rauschen befreite Nutzsinal  $x$  am Ausgang  $y$ .

## 9 Analog/Digital-Umsetzer

(Wiederholung)

Die Eingangs- und Ausgangssignale sind in Abbildung 9.1 dargestellt. Dabei wird von einem Spannungsbereich von 0 bis 5 V ausgegangen, das Eingangssignal befindet sich um die Mittenspannung von 2,5 V. Da es nur eine Amplitude von 1 V aufweist, wird noch eine Verstärkung mit dem Faktor 2 (bzw. 4 beim Differenzsignal) ausgeführt. Die Ausgangssignale  $y_+$  und  $y_-$  haben dann eine Amplitude von 2 V, die Gleichtaktaussteuerung beträgt konstant  $V_R = 2,5$  V.



EST 2 / SS 2011 IFE W. Pribyl Seite 13

## 9 Analog/Digital-Umsetzer

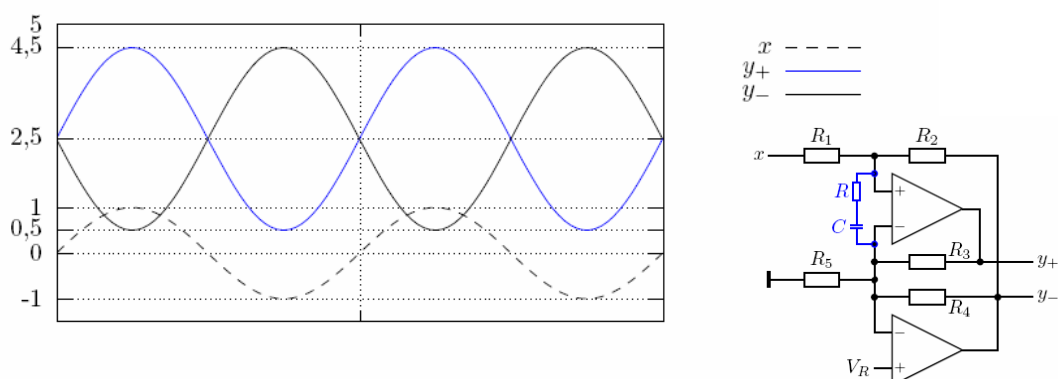
(Wiederholung)

Soll die Schaltung für ein Eingangssignal verwendet werden, dessen Bezugspunkt für die Inversion Masse ist, muss der Widerstand  $R_5$  Teil der Schaltung sein. Nach längeren Berechnungen erhält man zwei Bedingungen für die Widerstandswerte  $R_3$ ,  $R_4$  und  $R_5$  und das Übertragungsverhalten:

$$R_3 = R_4 \quad \frac{R_3}{R_5} = 2 \frac{R_2}{R_1} \quad y_+ = \frac{R_2}{R_1} x + \left(1 + \frac{R_2}{R_1}\right) V_R$$

$$y_- = -\frac{R_2}{R_1} x + \left(1 + \frac{R_2}{R_1}\right) V_R \quad y = y_+ - y_- = 2 \frac{R_2}{R_1} x.$$

Die Abbildung 9.2 zeigt die Signale am Eingang und an den Ausgängen. Auch hier wird das Eingangssignal mit dem Faktor 2 verstärkt, die Gleichtaktaussteuerung des differenziellen Ausgangssignals ist wieder konstant 2,5 V.



EST 2 / SS 2011 IFE W. Pribyl Seite 14

## 9 Analog/Digital-Umsetzer

(Wiederholung)

Die in Abbildung S 14 dargestellte Schaltung ähnelt in gewissen Maßen, was die Funktion im invertierenden Pfad betrifft, einem normalen invertierenden Verstärker. Somit liegt der Gedanke nahe, diesen zu einem Filter mit Mehrfachgegenkopplung zu erweitern. Diese Schaltung ist in Abbildung dargestellt.

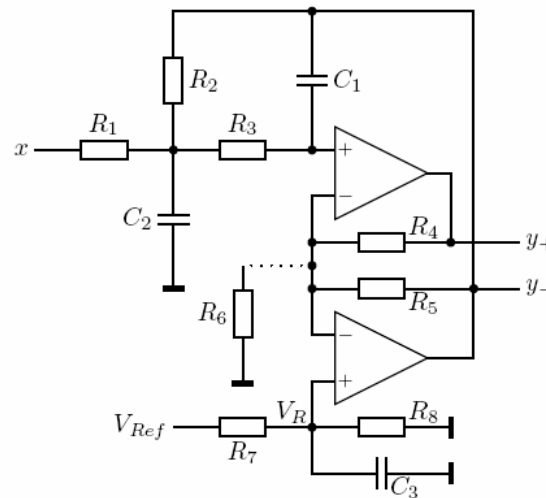


Abbildung Pegelumsetzung, Tiefpassfilterung und Single-ended-to-differential-Umsetzung

Die Dimensionierung der einzelnen Bauteilwerte erfolgt zuerst nach den Gleichungen für das Filter mit Mehrfachgegenkopplung ( ). Danach wird die Single-ended-to-differential-Umsetzung angepasst.

## 9 Analog/Digital-Umsetzer

(Wiederholung)

### 14.5 Auswahl von ADCs

Da jetzt die verschiedenen ADC-Architekturen vorgestellt und erklärt wurden, soll abschließend noch auf ihre Einsatzgebiete eingegangen werden. In Tabelle 14.4 sind die wesentlichen Kenngrößen, nämlich Auflösung, Umsetzungsrate und Leistungsaufnahme der drei gängigen Typen zusammengefasst. Diese sind Pipelined, Wägeverfahren und  $\Sigma\Delta$ -ADCs. Je nach Anwendung wird ein ADC des entsprechenden Typs ausgewählt, wobei die zuvor genannten Kenngrößen die wichtigsten Kriterien darstellen.

	Pipelined	Wägeverfahren	$\Sigma\Delta$
Auflösung	niedrig	mittel	hoch
	8 – 14 bit	8 – 18 bit	16 – 24 bit
Umsetzungsrate	sehr hoch	mittel-hoch	niedrig-mittel
	bis zu 500 MHz	bis zu 1 MHz	1 Hz – 100 kHz
Leistungsaufnahme	sehr hoch	mittel	niedrig
	bis zu 3 W	1 – 200 mW	0,2 – 10 mW

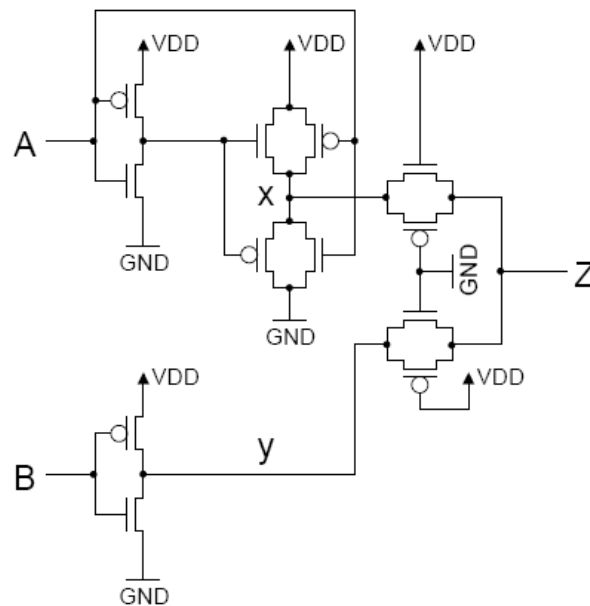
Tabelle 14.4: Typische Kennwerte der gängigen ADCs

Natürlich unterscheiden sich auch ADCs gleicher Architektur untereinander. Dies beginnt schon mit der digitalen Schnittstelle. Während sehr hohe Umsetzungsrate bei Pipelined ADCs eine parallele Schnittstelle notwendig machen, ist bei langsameren ADCs (Wägeverfahren,  $\Sigma\Delta$ ) eine serielle vorzuziehen. Üblicherweise wird eine synchrone, serielle Datenübertragung verwendet. Dadurch benötigt der ADC-Baustein weniger Anschlüsse, weshalb ein kleineres, platzsparendes und (ganz wichtig) billigeres Gehäuse eingesetzt werden kann.



# Prüfungsfragen-Durchsprache /1

Welche logische Funktion  $Z = f(A, B)$  ist mit folgender Transistorschaltung implementiert (positive Logik)?



EST 2 / SS 2011 IFE W. Pribyl Seite 17

# Prüfungsfragen-Durchsprache /2

## 2 CMOS-Logik (15%)

Entwerfen Sie ein CMOS-Gatter auf Transistorebene (NMOSTs und PMOSTs, minimale Anzahl von Transistoren, keine Transmissionsgatter), welches die XOR-Verknüpfung der beiden Eingänge  $A$  und  $B$  berechnet ( $Y = A \oplus B$ ). Hinweis: Es werden mindestens 12 MOSTs benötigt. Die Punkteanzahl  $P$  für funktionierende

Lösungen errechnet sich mit  $P = 27 - N$ , wobei  $N$  die Anzahl der verwendeten MOSTs ist.

## 3 Operationsverstärker: Pegelumsetzung (15%)

Gegeben ist ein Digital-Analog-Umsetzer, welcher eine unipolare Spannung zwischen  $0V$  und  $4V$  ausgibt. Entwerfen und dimensionieren Sie eine geeignete Schaltung, die diese  $0V$  bis  $4V$  zu einer Ausgangsspannung zwischen  $-10V$  und  $+10V$  umsetzt.

Verwenden Sie dazu einen Operationsverstärker, eine  $\pm 15V$ -Spannungsversorgung und vier Widerstände.

## 4 Sample&Hold-Schaltung (10%)

Ein Analog/Digital-Umsetzer mit einer Auflösung von  $10\text{bit}$  tastet mit einer Sample&Hold-Schaltung ein analoges Signal ab. Der Sample-Kondensator mit einer Kapazität von  $C = \frac{1000}{11} \text{pF} \approx 91 \text{pF}$  wird dabei für die Dauer von  $1\mu\text{s}$  an den Eingang geschaltet. Wie groß darf der Ausgangswiderstand der abgetasteten Signalquelle höchstens sein, damit der ADC nicht in seiner Genauigkeit eingeschränkt wird (Der mögliche Fehler muß kleiner als der maximale Quantisierungsfehler sein.)?

Hinweis:  $\ln 2 \approx 0.69$ ,  $\frac{1}{\ln 2} \approx 1.44$

EST 2 / SS 2011 IFE W. Pribyl Seite 18

## 9 Analog/Digital-Umsetzer

### 9.5.2 Sample-and-Hold-Eingänge

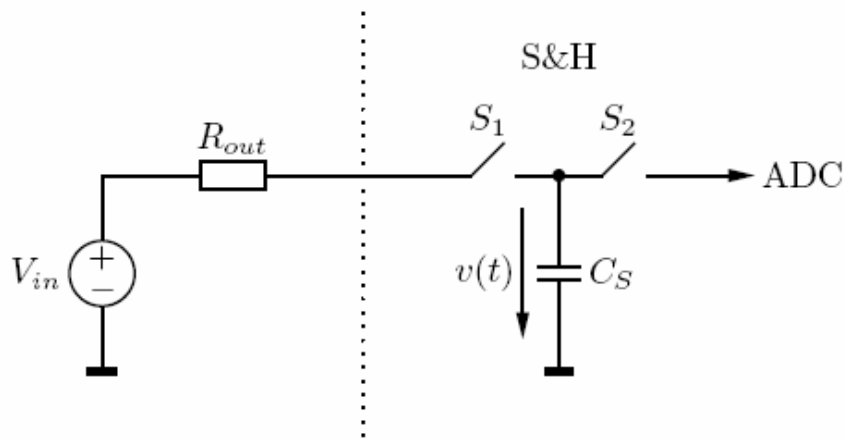


Abbildung 9.27: S&H-Eingang eines ADCs

- $S_1$  geschlossen: Der Abtastkondensator  $C_S$  wird auf die Eingangsspannung  $V_{in}$  aufgeladen (Sample). Dieser Vorgang hat eine definierte Dauer  $T_S$ .
- $S_2$  geschlossen: Der Kondensator  $C_S$  behält seine Ladung (Hold). Damit bleibt die Eingangsspannung für den ADC während einer Umsetzung konstant.

## 9 Analog/Digital-Umsetzer

- Eine ausreichende Umladung (auf  $\frac{1}{2}LSB = \frac{V_{Ref}}{2^{N+1}}$  genau) des Abtastkondensators muß innerhalb der Zeit  $T_S$  durchgeführt werden.  
Schlimmster Fall: Umladen von 0 auf  $V_{Ref}$  bzw. von  $V_{Ref}$  auf 0.

auf  $\frac{1}{2} LSB$  genau  $\left\{ \begin{array}{l} u(t) = V_{Ref} e^{-\frac{t}{R_{out} C_S}} \end{array} \right. \quad (9.16)$

$\left\{ \begin{array}{l} V_{Ref} e^{-\frac{T_S}{R_{out} C_S}} < \frac{V_{Ref}}{2^{N+1}} \end{array} \right. \quad (9.17)$

In anwenden  $\left\{ \begin{array}{l} R_{out} < \frac{T_S}{C_S(N+1) \ln 2} \end{array} \right. \quad (9.18)$

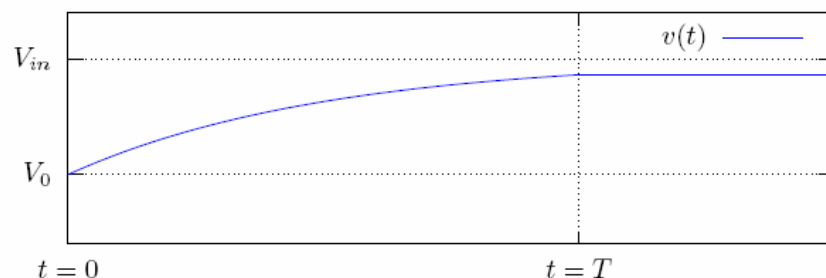


Abbildung 15.16: Exponentieller Umladevorgang

## Prüfungsfragen-Durchsprache /3

### 5 Allgemeine Fragen (50%)

#### B Schaltalgebra:

1. Wahrheitstabelle der XOR-Verknüpfung? (2)

#### C Kombinatorische Logik:

2. Realisierung einer ODER-Verknüpfung mit NANDs? (2)

#### F Schnittstellen:

4. Welchen Sinn hat ein Paritätsbit? (1)
5. Lichtleiter: Vorteile gegenüber elektrischen Schnittstellen? (2)

#### G Logikschaltungen:

6. Was bedeutet TTL? (1)

## Prüfungsfragen-Durchsprache /4

#### H CMOS:

7. Nennen Sie die drei Arbeitsbereiche bei MOSFETs? (1)
8. Schaltung eines CMOS-Inverters? (3)
9. Schaltung eines CMOS-NAND-Gatters in positiver Logik? (5)
10. Schaltung einer Sample&Hold-Schaltung? (3)
11. Warum werden CMOS-Eingänge mit Pull-Up- (bzw. Pull-Down-)Widerständen versehen? (2)

#### I Kippstufen:

12. Welcher ist der "verbotene Zustand" bei RS-FFs? (1)
13. Was ist ein Schmitt-Trigger? (1)
14. Schaltung eines Relaxationsoszillators? (5)

# Prüfungsfragen-Durchsprache /5

## K PLL:

15. Zeichnen Sie das Blockschaltbild einer PLL. (5)

## M D/A-Umsetzung:

16. Was ist der Nullpunktsfehler? (1)

17. Schaltung eines 3-Bit-D/A-Umsetzers mit dual gewichteten Widerständen? (3)

18. Schaltung eines Tiefpaßfilters 1. Ordnung? (3)

## N A/D-Umsetzung:

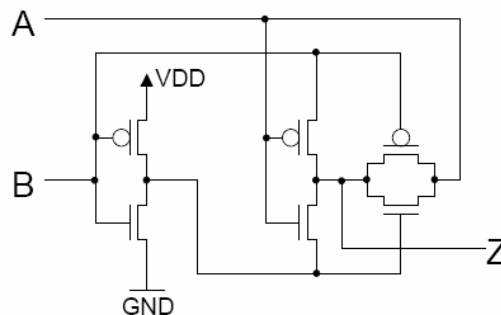
19. Schaltung eines Differenzintegrators? (5)

20. Welche Störfrequenzen werden von einem integrierenden A/D-Umsetzer mit einer Integrationszeit von einer Sekunde unterdrückt? (2)

# Prüfungsfragen-Durchsprache /6

## 1 CMOS-Logik (10%)

Welche logische Funktion  $Z = f(A, B)$  ist mit folgender Transistorschaltung implementiert (positive Logik)?



## 2 CMOS-Logik (10%)

Entwerfen Sie ein CMOS-Gatter auf Transistorebene (NMOSTs und PMOSTs, minimale Anzahl von Transistoren, keine Transmissionsgatter), welches folgende logische Funktion in positiver Logik implementiert.

$$Y = A \cdot (B + C)$$

Hinweis: Es werden mindestens 8 MOSTs benötigt. Die Punkteanzahl  $P$  für funktionierende Lösungen errechnet sich mit  $P = 26 - 2N$ , wobei  $N$  die Anzahl der verwendeten MOSTs ist.

# Prüfungsfragen-Durchsprache /7

## 4 Pegelumsetzung: UART zu TTL-kompatibler RS232 (15%)

Die asynchrone serielle Schnittstelle (UART, positive Logik!) eines mit 5V betriebenen Microcontrollers (Sendeleitung  $TxD$ , Empfangsleitung  $RxD$ ) soll mit der RS232-Schnittstelle eines PCs kommunizieren. Diese RS232-Schnittstelle des PCs (negative Logik!) hat einen Ausgangspegel an der Sendeleitung  $TxD_{PC}$  von  $HI = 10V$  und  $LO = -10V$  und versteht an der Empfangsleitung  $RxD_{PC}$  auch TTL-Pegel ( $HI = +2.4V \dots +25V$ ,  $LO = -25V \dots +0.8V$ ).

Entwerfen und Dimensionieren Sie eine Schaltung (bestehend aus CMOS-Invertiern (5V Versorgungsspannung) und Widerständen), welche eine passende Pegelumsetzung durchführt.

Anmerkungen:

- Dimensionieren Sie alle Widerstände auf ihren minimalen Wert.
- Daten der Schutzdioden an den Eingängen der CMOS-Inverter: Vorwärtsspannung  $U_f = 0.6V$ , maximaler dauerhafter Diodenstrom  $I = 10mA$

EST 2 / SS 2011 IFE W. Pribyl Seite 25

# Prüfungsfragen-Durchsprache /8

## 5 Allgemeine Fragen (50%)

### A Allgemeine Digitaltechnik:

1. Was bedeutet positive Logik? (1)
2. Was bedeutet negative Logik? (1)
3. Zeichnen Sie ein zeit- und wertkontinuierliches Signal. (2)

### F Schnittstellen:

4. RS232: Bereich des LO-Pegels des Senders? (1)
5. RS232: Bereich des physikalischen Pegels für eine logische 0 beim Empfänger? (1)
6. UART: Logischer Übertragungsrahmen für "h" (68h), Even Parity? (4)
7. Welchen Sinn hat ein Paritätsbit? (1)

### G Logikschaltungen:

9. Definition der Anstiegszeit  $t_r$ ? (1)
10. Definition der Fallzeit  $t_f$ ? (1)

EST 2 / SS 2011 IFE W. Pribyl Seite 26

## Prüfungsfragen-Durchsprache /9

### H CMOS:

11. Nennen Sie die drei Arbeitsbereiche bei MOSFETs? (1)
12. Welche Arbeitsbereiche eines MOSFETs sind für Digitalschaltungen wichtig? (1)
13. Welche parasitären Vierschichtelemente ergeben sich bei CMOS? (1)
14. Was passiert mit einem CMOS-Baustein im Latch-Up Zustand? (1)
15. Zeichnen (Beschriftung!) Sie den Durchlasswiderstand eines Transmissionsgatters in Abhängigkeit der geschalteten Spannung? (4)
16. Fan out von CMOS (statisch)? (1)
17. Statische Stromaufnahme von CMOS? (1)
18. Warum werden CMOS-Eingänge mit Pull-Up- (bzw. Pull-Down-)Widerständen versehen? (2)

### I Kippstufen:

19. Schaltung eines Relaxationsoszillators? (4)

### K PLL:

20. Was bedeutet PLL? (1)
21. Zeichnen Sie das Blockschaltbild einer PLL. (4)
22. Wozu werden PLLs verwendet? (2)

## Prüfungsfragen-Durchsprache /10

### M A/D- und D/A-Umsetzung:

23. Schaltung eines 3-Bit-D/A-Umsetzers mit dual gewichteten Widerständen? (3)
  24. Schaltung eines digitalen Potentiometers mit 8 einstellbaren Positionen? (3)
  25. Welche Schaltung implementiert einen 1 bit A/D-Umsetzer? (1)
  26. Wieviele Zyklen benötigt ein 8-Bit-A/D-Umsetzer nach dem Wägeverfahren für eine Umsetzung? (1)
  27. Wieviele Komparatoren benötigt man für einen 47-Bit-A/D-Umsetzer nach dem Wägeverfahren? (1)
  28. Welche Werte (dezimal) hat der DAC eines 6-Bit-ADCs nach dem Wägerverfahren während einer Umsetzung von  $V_{in} = \frac{39,5}{64} V_{Ref}$  analog auszugeben? (2)
  29. Wie verhält sich die Anzahl der Schaltvorgänge eines Ladungsausgleichsintegrators zur Eingangsgröße solange diese kleiner der halben Referenzgröße ist ? (1)
  30. Wie verhält sich die Anzahl der Schaltvorgänge eines Ladungsausgleichsintegrators zur Eingangsgröße sobald diese größer der halben Referenzgröße ist ? (1)
- \* Beschreiben/Zeichnen Sie die Grundstruktur eines Sigma-Delta Umsetzers
  - \* Was versteht man unter Noise-Shaping, wie kommt es zustande
  - \* Struktur/Funktionsprinzip eines AD Umsetzers nach dem Wägeverfahren / Sukzessive Approximation
  - \* Struktur/Funktionsprinzip eines integrierenden AD Umsetzers

Viel Erfolg, nächste Prüfungen:

28.6.2011

06.10.2011

10.11.2011

15.12.2011